Attorney's Docket No.: 12732-063001 / US5165

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC873 U.S. PTO
09/919832
08/02/01

Applicant : Shunpei Yamazaki et al. Art Unit : Unknown
Serial No. : Unassigned Examiner : Unknown
Filed : August 2, 2001
Title : PORTABLE INFORMATION APPARATUS AND METHOD OF DRIVING THE SAME

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2000-253188 filed August 23, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 2, 2001

John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

40064224.doc

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２０００年　８月２３日

出願番号
Application Number: 特願２０００－２５３１８８

出願人
Applicant(s): 株式会社半導体エネルギー研究所

jc973 U.S. PTO 09/919832 08/02/01

２００１年　６月２０日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号　出証特２００１－３０５８２９０

【書類名】　特許願
【整理番号】　P005165
【提出日】　平成12年 8月23日
【あて先】　特許庁長官　殿
【発明者】
　【住所又は居所】　神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
　【氏名】　山崎　舜平
【発明者】
　【住所又は居所】　神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
　【氏名】　小山　潤
【特許出願人】
　【識別番号】　000153878
　【氏名又は名称】　株式会社半導体エネルギー研究所
　【代表者】　山崎　舜平
【手数料の表示】
　【予納台帳番号】　002543
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1
【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　携帯情報装置

【特許請求の範囲】

【請求項１】

ＥＬ表示装置とそのコントロール回路とを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画を表示するとき、前記ＥＬ表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置。

【請求項２】

請求項１において、

前記コントロール回路は前記ＥＬ表示装置のクロック発生回路であることを特徴とした携帯情報装置。

【請求項３】

ＥＬ表示装置とＣＰＵとを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画を表示するとき、前記ＣＰＵの映像表示機能を停止することを特徴とした携帯情報装置。

【請求項４】

ＥＬ表示装置とＶＲＡＭとを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画表示を行うとき、前記ＶＲＡＭのデータの読み出し操作を停止することを特徴とした携帯情報装置。

【請求項５】

ＥＬ表示装置を有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画表示を行うとき、前記ＥＬ表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置。

【請求項６】

請求項１乃至請求項５のいずれか一項において、

前記記憶回路は１フレームに１度読み出し操作が行われることを特徴とした携帯情報装置。

【請求項７】

ＥＬ表示装置を有する携帯情報装置において、

前記ＥＬ表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置。

【請求項８】

請求項１乃至請求項７のいずれか一項において、

前記記憶回路及び前記Ｄ／Ａコンバータは、前記ＥＬ表示装置が有するソース信号線の下に配置されていることを特徴とした表示装置。

【請求項９】

請求項１乃至請求項７のいずれか一項において、

前記記憶回路及び前記Ｄ／Ａコンバータは、前記ＥＬ表示装置が有するゲート信号線の下に配置されていることを特徴とした表示装置。

【請求項１０】

請求項１乃至請求項９のいずれか一項において、

前記携帯情報装置は、携帯電話であることを特徴とした携帯情報装置。

【請求項１１】

請求項１乃至請求項９のいずれか一項において、

前記携帯情報装置は、パーソナルコンピュータであることを特徴とした携帯情報装置。

【請求項１２】

請求項１乃至請求項９のいずれか一項において、

携帯情報装置は、ナビゲーションシステムであることを特徴とした携帯情報装置。

【請求項１３】

請求項１乃至請求項９のいずれか一項において、
携帯情報装置は、ＰＤＡであることを特徴とした携帯情報装置。
【請求項１４】
請求項１乃至請求項９のいずれか一項において、
携帯情報装置は、電子書籍であることを特徴とした携帯情報装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、携帯情報装置に関する。特に、有機ＥＬなどを用いた表示装置を用いた、携帯電話、ＰＤＡ、携帯パーソナルコンピュータ、携帯ナビゲーションシステム、電子書籍などの携帯情報装置に関する。
【０００２】
【従来の技術】
近年、通信技術の発展によって、携帯電話が普及している。今後はさらに動画の電送や、より多量の情報伝達が予想される。一方パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳にはじまったパーソナルデジタルアシスタント（ＰＤＡ）と呼ばれる情報機器も多数生産され、普及しつつある。また、ＥＬ表示装置などの発展により、それらの携帯情報機器にはほとんどのものにフラットディスプレイが装備されている。
【０００３】
さらに最近の技術では、それらに使用されるＥＬ表示装置としてアクティブマトリクス型表示装置を使用する方向に向かっている。
【０００４】
アクティブマトリクス型表示装置は、画素１つずつに対して、ＴＦＴ（薄膜トランジスタ）を１つずつ配置し、そのＴＦＴによって、画面を制御している。この様なアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高精細化が可能である、画質の向上が可能である、動画対応が可能であるなどの長所を持っている。それ故に今後は携帯情報機器のＥＬ表示装置はパッシブマトリクス型からアクティブマトリクス型に変化していくと思われる。

【０００５】

また、アクティブマトリクス型表示装置のなかでも、近年、低温ポリシリコンを用いた、表示装置の製品化が行われている。低温ポリシリコン技術では画素を構成する画素ＴＦＴの他に、画素部の周辺部に、ＴＦＴを用いて駆動回路を同時形成することができ、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、ＥＬ表示装置は不可欠なデバイスとなってきている。

【０００６】

図１５に、ＥＬ表示装置を組み込んだ、従来の携帯情報端末のブロック図を示す。

【０００７】

携帯情報端末ではユーザーが必要に応じて、求める情報を引き出すことが要求される。その情報は、まず、その携帯情報端末内の記憶装置（ＤＲＡＭ１５０９、フラッシュメモリ１５１０など）に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード１５０３に記憶されているもの、外部インターフェイスポート１５０５を介して外部機器と接続して情報を得る物などがある。これらの情報はペン入力タブレット１５０１より入力されるユーザーの指示に基づいて、ＣＰＵ１５０６により処理され、ＥＬ表示装置１５１３は表示を行う。

【０００８】

具体的には、ペン入力ダブレット１５０１より入力された信号は、検出回路１５０２により検出され、ダブレットインターフェイス１５１８に入力される。この入力信号は、ダブレットインターフェイス１５１８により処理され、映像信号入力回路１５０７等に入力される。必要なデータをＣＰＵ１５０６が処理し、それをＶＲＡＭ１５１１に格納してある画像フォーマットに基づき、画像データに変換し、ＥＬコントローラ１５１２に送る。ここでＥＬコントローラ１５１２はＥＬ表示装置１５１３を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【０００９】

図１６にＥＬ表示装置を組み込んだ、従来の携帯電話のブロック図を示す。携

帯電話は電波を送受信する送受信回路１６１５と、受信した信号を音声処理する音声処理回路１６０２、スピーカ１６１４、マイク１６０８、またデータを入力するキーボード１６０１、キーボード１６０１より入力された信号を処理する、キーボードインターフェイス１６１８などを有している。

【００１０】

キーボードより入力されるユーザーの指示に基づいて、記憶装置（ＤＲＡＭ１６０９、フラッシュメモリ１６１０など）に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード１６０３に記憶されているもの、外部インターフェイスポート１６０５を介して外部機器と接続して得る情報等がＣＰＵ１６０６により処理され、ＥＬ表示装置１６１３は表示を行う。

【００１１】

具体的には、キーボード１６０１より入力された信号は、キーボードインターフェイス１６１８により処理され、映像信号処理回路１６０７等に入力される。必要なデータをＣＰＵ１６０６が処理し、それをＶＲＡＭ１６１１に格納してある画像フォーマットに基づき、画像データに変換し、ＥＬコントローラ１６１２に送付する。ここでＥＬコントローラ１６１２はＥＬ表示装置１６１３を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【００１２】

なお、送受信回路１６１５の構造の例として、図２６を示す。

【００１３】

送受信回路１６１５は、アンテナ２６０２、フィルタ２６０３、２６０７、２６０８、２６１２、２６１６、スイッチ２６０４、アンプ２６０５、２６０６、２６１７、第１周波数変換回路２６０９、第２周波数変換回路２６１３、周波数変換回路２６１１、発振回路２６１０、２６１４、直交変換器２６１５、データ復調回路２６１８、２６１９を含む。

【００１４】

ここで、上記の携帯情報端末や携帯電話に組み込まれた表示装置として、従来のデジタル方式のＥＬ表示装置について説明する。その概略図を、図１３に示す。中央に画素部１３０８が配置されている。画素部の上側には、ソース信号線を

制御するための、ソース信号線駆動回路１３０１が配置されている。ソース信号線駆動回路１３０１は、第１のラッチ回路１３０４、第２のラッチ回路１３０５、Ｄ／Ａコンバータ（Ｄ／Ａ変換回路）１３０６、アナログスイッチ１３０７等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路１３０２が配置されている。なお、図１３においては、ゲート信号線駆動回路１３０２は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【００１５】

ソース信号線駆動回路１３０１に関しては、図１４に示すような構成を有している。図１４に例として示す駆動回路は、水平方向解像度１０２４画素、３ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路（ＳＲ）１４０１、第１のラッチ回路（ＬＡＴ１）１４０２、第２のラッチ回路（ＬＡＴ２）１４０３、Ｄ／Ａコンバータ（Ｄ／Ａ）１４０４等を有する。なお、図１４では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【００１６】

図１３および図１４を用いて動作について簡単に説明する。まず、シフトレジスタ回路１３０３（図１４中、ＳＲと表記）にクロック信号（Ｓ－ＣＬＫ、Ｓ－ＣＬＫｂ）およびスタートパルス（Ｓ－ＳＰ）が入力され、順次パルスが出力される。続いて、それらのパルスは第１のラッチ回路１３０４（図１４中、ＬＡＴ１と表記）に入力され、同じく第１のラッチ回路１３０４に入力されたデジタル映像信号（Ｄｉｇｉｔａｌ　Ｄａｔａ）をそれぞれ保持していく。ここで、Ｄ１が最上位ビット（ＭＳＢ：Most Significant Bit）、Ｄ３が最下位ビット（ＬＳＢ：Least Significant Bit）である。第１のラッチ回路１３０４において、１水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第１のラッチ回路１３０４で保持されているデジタル映像信号は、ラッチ信号（Ｌａｔｃｈ　Ｐｕｌｓｅ）の入力に従い、一斉に第２のラッチ回路１３０５（図１４中、ＬＡＴ２と表記）へと転送される。

【００１７】

その後、再びシフトレジスタ回路１３０３が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第２のラッチ回路１３０５で保持されているデジタル映像信号は、Ｄ／Ａコンバータ１３０６（図１４中、Ｄ／Ａと表記）にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に入力される。この動作を繰り返すことによって、画像の表示が行われる。

【００１８】

続いて、画素部１３０８の駆動について説明する。図２９に、図１３の画素部１３０８の一部を示す。図２９（Ａ）は、３×３画素のマトリクスを示している。点線枠１９００にて囲まれた部分が１画素であり、図２９（Ｂ）にその拡大図を示す。図２９（Ｂ）において、１９０１は、画素に信号を書き込む時のスイッチング素子として機能するＴＦＴ（以下、スイッチング用ＴＦＴという）である。このスイッチング用ＴＦＴ１９０１にはＮチャネル型もしくはＰチャネル型のいずれの極性を用いても良い。１９０２はＥＬ素子１９０３に供給する電流を制御するための素子（電流制御素子）として機能するＴＦＴ（以下、ＥＬ駆動用ＴＦＴという）である。ＥＬ駆動用ＴＦＴ１９０２にＰチャネル型を用いる場合には、ＥＬ素子１９０３の陽極１９０９と電流供給線１９０７との間に配置する。別の構成方法として、ＥＬ駆動用ＴＦＴ１９０２にＮチャネル型を用いて、ＥＬ素子１９０３の陰極１９１０と陰極電極１９０８との間に配置したりすることも可能である。しかし、ＴＦＴの動作としてソース接地が良いこと、ＥＬ素子１９０３の製造上の制約などから、ＥＬ駆動用ＴＦＴ１９０２にはＰチャネル型を用い、図２９（Ｂ）に図示したように、ＥＬ素子１９０３の陽極１９０９と電流供給線１９０７との間にＥＬ駆動用ＴＦＴ１９０２を配置する方式が一般的であり、多く採用されている。１９０４は、ソース信号線１９０６から入力される信号（電圧）を保持するための保持容量である。図２９（Ｂ）での保持容量１９０４の一方の端子は、電流供給線１９０７に接続されているが、専用の配線を用いることもある。スイッチング用ＴＦＴ１９０１のゲート電極は、ゲート信号線１９０５に、ソース領域は、ソース信号線１９０６に接続されている。

【００１９】

次に、同図２９を参照して、アクティブマトリクス型ＥＬ表示装置の回路の動作について説明する。まず、ゲート信号線１９０５が選択されると、スイッチング用ＴＦＴ１９０１のゲート電極に電圧が印加され、スイッチング用ＴＦＴ１９０１が導通状態になる。すると、ソース信号線１９０６の信号（電圧）が保持容量１９０４に蓄積される。保持容量１９０４の電圧は、ＥＬ駆動用ＴＦＴ１９０２のゲート・ソース間電圧V_{GS}となるため、保持容量１９０４の電圧に応じた電流がＥＬ駆動用ＴＦＴ１９０２とＥＬ素子１９０３に流れる。その結果、ＥＬ素子１９０３が点灯する。

【００２０】

ＥＬ素子１９０３の輝度、つまりＥＬ素子１９０３を流れる電流量は、ＥＬ駆動用ＴＦＴ１９０２のV_{GS}によって制御出来る。V_{GS}は、保持容量１９０４の電圧であり、それはソース信号線１９０６に入力される信号（電圧）である。つまり、ソース信号線１９０６に入力される信号（電圧）を制御することによって、ＥＬ素子１９０３の輝度を制御する。最後に、ゲート信号線１９０５を非選択状態にして、スイッチング用ＴＦＴ１９０１のゲートを閉じ、スイッチング用ＴＦＴ１９０１を非導通状態にする。その時、保持容量１９０４に蓄積された電荷は保持される。よって、ＥＬ駆動用ＴＦＴ１９０２のV_{GS}は、そのまま保持され、V_{GS}に応じた電流が、ＥＬ駆動用ＴＦＴ１９０２を経由してＥＬ素子１９０３に流れ続ける。

【００２１】

ＥＬ素子の駆動等に関しては、SID99 Digest : P372 : “Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217 : “High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27 : “3.8 Green OLED with Low Temperature Poly-Si TFT” などに報告されている。

【００２２】

【発明が解決しようとする課題】

以上に述べたような従来の携帯情報装置では、組み込まれた表示装置が画像を

表示する場合、たとえその画像が静止画像であっても、同一の映像のデータを１秒間に６０回づつ、表示装置に送り続けていた。即ち、図１５中、破線で囲った部分（ＣＰＵ１５０６にある映像信号処理回路１５０７、ＶＲＡＭ１５１１、ＥＬコントローラ１５１２、およびＥＬ表示装置１５１３のソース信号線駆動回路及びゲート信号線駆動回路、ペン入力ダブレット１５０１、検出回路１５０２、ダブレットインターフェイス１５１８）は画像の表示を行っている限り、動作を行い続けていた。また、図１６中、破線で囲った部分（ＣＰＵ１６０６にある映像信号処理回路１６０７、ＶＲＡＭ１６１１、ＥＬコントローラ１６１２、およびＥＬ表示装置１６１３のソース信号線駆動回路及びゲート信号線駆動回路、キーボード１６０１、キーボードインターフェイス１６１８）は画像の表示を行っている限り、動作を行い続けていた。

【００２３】

ここで、画素数の少ないパッシブマトリクス型表示装置においては、記憶回路を表示装置のドライバＩＣもしくはコントローラの中に内蔵し、ＶＲＡＭを停止するものも存在するが、アクティブマトリクス型表示装置のような多数の画素を用いる表示装置では、ドライバ内もしくはコントローラ内に記憶回路を有するのはチップサイズの観点から、非現実的である。よって、従来の携帯情報装置では、静止画を表示する場合においても、多くの回路は動作を続けねばならず、消費電力の低減に対して、妨げと成っていた。

【００２４】

また、モバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【００２５】

そこで本発明は、携帯情報端末や携帯電話等の低消費電力化が望まれる機器において、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【００２６】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【００２７】

携帯情報装置に組み込まれた表示装置の画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。

【００２８】

すなわち、静止画を表示する際は、最低１フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路や画像信号処理回路等を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【００２９】

以下に、本発明の携帯情報装置の構成について記載する。

【００３０】

本発明によって、

ＥＬ表示装置とそのコントロール回路とを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画を表示するとき、前記ＥＬ表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置が提供される。

【００３１】

前記コントロール回路は前記ＥＬ表示装置のクロック発生回路であることを特徴とした携帯情報装置であってもよい。

【００３２】

本発明によって、

ＥＬ表示装置とＣＰＵとを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画を表示するとき、前記ＣＰＵの映像表示機能を停止

することを特徴とした携帯情報装置が提供される。

【００３３】

本発明によって、

ＥＬ表示装置とＶＲＡＭを有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画表示を行うとき、前記ＶＲＡＭのデータの読み出し操作を停止することを特徴とした携帯情報装置が提供される。

【００３４】

本発明によって、

ＥＬ表示装置を有する携帯情報装置において、

前記ＥＬ表示装置は画素中に記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置が静止画表示を行うとき、前記ＥＬ表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置が提供される。

【００３５】

前記記憶回路は１フレームに１度読み出し操作が行われることを特徴とした携帯情報装置であってもよい。

【００３６】

本発明によって、

ＥＬ表示装置を有する携帯情報装置において、

前記表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路とＤ／Ａコンバータとを有し、

前記ＥＬ表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置が提供される。

【００３７】

前記記憶回路及び前記Ｄ／Ａコンバータは、前記ＥＬ表示装置が有するソース信号線の下に配置されていることを特徴としてもよい。

【００３８】

前記記憶回路及び前記Ｄ／Ａコンバータは、前記ＥＬ表示装置が有するゲート

信号線の下に配置されていることを特徴としてもよい。

【００３９】

前記携帯情報装置は、携帯電話、パーソナルコンピュータ、ナビゲーションシステム、ＰＤＡまたは電子書籍であってもよい。

【００４０】

【発明の実施の形態】

まず、本発明の携帯情報装置が有する表示装置について説明する。

【００４１】

図１は本発明の構成を示したものである。本発明では、静止画を表示する場合、表示装置２４１３の画素の内部にある、記憶回路に映像信号を記憶させ、記憶した映像信号を呼び出すことによって、表示をおこなう。よって、従来、動作させていたＣＰＵ２４０６の内部回路のうち、映像信号処理回路２４０７、ＶＲＡＭ２４１１、表示装置２４１３の中のソース信号線駆動回路を停止することが可能となる。

【００４２】

以下その内容について、具体的に説明をおこなう。ペン入力タブレット２４０１からの入力が一定時間の間行われない、もしくは外部インターフェイスポート２４０５から、映像表示を変えなければならないような信号入力が一定時間されない場合、ＣＰＵ２４０６は静止画モードであると判断をおこなう。ＣＰＵ２４０６がそのような判断を行った場合、ＣＰＵ２４０６は以下のような動作をおこなう。ＥＬコントローラ２４１２を介して、表示装置２４１３のソース信号線駆動回路を停止させる。具体的には，ソース信号線駆動回路にスタートパルス、クロック信号、映像データ信号の供給を停止することによって、ソース信号線駆動回路の動作を停止させることができる。このときゲート信号線駆動回路は停止はせずに、信号の供給をうけ、記憶回路のデータをＥＬ駆動用ＴＦＴに送る動作をおこなう。

【００４３】

ゲート信号線駆動回路はソース信号線駆動回路に比べて、一般的には、１／１００以下の周波数で駆動されるため、動作を停止しなくとも，消費電力上は問題

にならない。もちろん、ゲート信号線駆動回路を停止してもよい。このような動作によって、表示装置２４１３はゲート信号線駆動回路のみ、または、ソース信号線駆動回路とゲート信号線駆動回路の両方の信号線駆動回路を停止させて、表示をおこなう。

【００４４】

次に、ＣＰＵ２４０６は、ＣＰＵ２４０６内部の映像信号処理回路２４０７および、ＶＲＡＭ２４１１を停止する。前述したように、表示装置２４１３は、その内部の記憶回路に蓄えられた映像データで表示を行っているので、新たに映像データを表示装置に送り込む必要性がない、よって、映像データを発生、加工する映像信号処理回路２４０７、ＶＲＡＭ２４１１などは動作していなくともかまわない。以上により、ＣＰＵ２４０６内部の電力削減、ＶＲＡＭ２４１１の電力削減、ソース信号線駆動回路の電力削減が達成されるのである。

【００４５】

また、ペン入力タブレット２４０１に入力がされ、映像信号が入力された場合は、ペン入力タブレットの検出回路２４０２からダブレットインターフェイス２４１８を介して、ＣＰＵ２４０６に対して、表示内容を変えるような指示がだされ、ＣＰＵ２４０６は停止していたＶＲＡＭ２４１１、映像信号処理回路２４０７を動作させる。そして、ＥＬコントローラ２４１２を介して、表示装置２４１３のソース信号線駆動回路にスタートパルス、クロック信号、映像データを供給し、新たな映像信号を画素に書き込むことができる。

【００４６】

この様に、図１中、破線で囲った部分（ゲート信号線駆動回路、ＥＬコントローラ２４１２、ペン入力ダブレット２４０１、検出回路２４０２、ダブレットインターフェイス２４１８）が動作していれば、この携帯情報端末は静止画を表示し続けることができる。

【００４７】

図２は本発明を使用した携帯電話の例である。動作概要は図１の携帯情報端末とおおよそ同じである。携帯情報端末と異なるのは、携帯電話では、入力は、キーボード２５０１によって行われキーボードインターフェイス２５１８を介して

ＣＰＵ２５０６で制御されることと、外部からのデータは、電話会社の通信系を介して、アンテナに入力され、送受信回路２５１５で増幅されたのち、ＣＰＵ２５０６で制御されることである。

【００４８】

静止画を表示する場合は、携帯情報端末と同様に、映像信号処理回路２５０７、ＶＲＡＭ２５１１、ソース信号線駆動回路などは停止させることができる。

【００４９】

この様に、図２中、破線で囲った部分（ゲート信号線駆動回路、ＥＬコントローラ２５１２、キーボード２５０１、キーボードインターフェイス２５１８）が動作していれば、この携帯電話は静止画を表示し続けることができる。

【００５０】

次に、本発明の携帯情報装置が有する表示装置について説明する。

【００５１】

図２５は、記憶回路を有する画素を用いた表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、３ビットデジタル階調信号に対応したものであり、シフトレジスタ回路２０１、第１のラッチ回路２０２、第２のラッチ回路２０３、ビット信号選択スイッチ２０４、画素２０５を有する。２１０は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【００５２】

図２４は、図２５における画素２０５における回路構成を詳細に示したものである。この画素は、３ビットデジタル階調に対応したものであり、ＥＬ素子（１１４）、保持容量（Ｃｓ）、記憶回路（１０５～１０７）及びＤ／Ａコンバータ（Ｄ／Ａ：１１１）、ＥＬ駆動用ＴＦＴ（１１５）、電源供給線（１１２）等を有している。１０１はソース信号線、１０２～１０４は書き込み用ゲート信号線、１０８～１１０は書き込み用ＴＦＴである。

【００５３】

図３は、図２４に示した表示装置におけるタイミングチャートである。表示装置は３ビットデジタル階調、ＶＧＡのものを対象としている。図３、図２４及び

図２５を用いて、駆動方法について説明する。なお、各番号は、図３、図２４及び図２５のものをそのまま用いる（図番は省略する）。

【００５４】

図２５および図３（Ａ）（Ｂ）を参照する。図３（Ａ）において、各フレーム期間をα、β、γと表記して説明する。まず、区間αにおける回路動作について説明する。

【００５５】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路２０１にクロック信号（Ｓ－ＣＬＫ、Ｓ－ＣＬＫｂ）およびスタートパルス（Ｓ－ＳＰ）が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第１のラッチ回路２０２（ＬＡＴ１）に入力され、同じく第１のラッチ回路２０２に入力されたデジタル映像信号（Ｄｉｇｉｔａｌ　Ｄａｔａ）をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。１水平期間分のドットデータサンプリング期間は、図３（Ａ）において１～４８０で示す各期間である。デジタル映像信号は３ビットであり、Ｄ１がＭＳＢ（Most Significant Bit）、Ｄ３がＬＳＢ（Least Significant Bit）である。第１のラッチ回路２０２において、１水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第１のラッチ回路２０２で保持されているデジタル映像信号は、ラッチ信号（Ｌａｔｃｈ　Ｐｕｌｓｅ）の入力に従い、一斉に第２のラッチ回路２０３（ＬＡＴ２）へと転送される。

【００５６】

続いて、再びシフトレジスタ回路２０１から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【００５７】

一方、第２のラッチ回路２０３に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図３（Ｂ）に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと３分割し、第２のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ２０４によって、各ビットの信号が順番にソース信号線に出力されるよ

うに選択的に接続される。

【００５８】

期間Iでは、書き込み用ゲート信号線１０２にパルスが入力されてＴＦＴ１０８が導通し、記憶回路１０５にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線１０３にパルスが入力されてＴＦＴ１０９が導通し、記憶回路１０６にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線１０４にパルスが入力されてＴＦＴ１１０が導通し、記憶回路１０７にデジタル映像信号が書き込まれる。

【００５９】

以上で、１水平期間分のデジタル映像信号の処理が終了する。図３（Ｂ）の期間は、図３（Ａ）において※印で示された期間である。以上の動作を最終段まで行うことにより、１フレーム分のデジタル映像信号が記憶回路１０５～１０７に書き込まれる。

【００６０】

書き込まれたデジタル映像信号は、Ｄ／Ａコンバータ１１１によってアナログ信号に変換され、ＥＬ駆動用ＴＦＴ１１５のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線１１２よりＥＬ駆動用ＴＦＴ１１５を介してＥＬ素子１１４に入力される。こうして、デジタル映像信号に応じた電流により、ＥＬ素子１１４の輝度が変化し階調を表現する。ここでは、３ビットであるから、輝度は０～７までの８段階が得られる。

【００６１】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路１０５～１０７にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路１０５～１０７に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

【００６２】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線１本単位で行うことが可能である

。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

【００６３】

また、本実施形態においては、１画素内に３つの記憶回路を有し、３ビットのデジタル映像信号を１フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、ｎビットのデジタル映像信号をｍフレーム分だけ記憶するには、１画素内にｎ×ｍ個の記憶回路を有していれば良い。

【００６４】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、ＥＬ表示装置の低消費電力化に大きく貢献することが出来る。

【００６５】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【００６６】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、１ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【００６７】

本発明では、前述した様にゲート信号線１本単位での信号の書き換えも可能である。この場合は、ゲート信号線駆動回路としてデコーダを使うのが望ましい。ゲート信号線駆動回路としてデコーダを使用した例を図２３に示す。

【００６８】

デコーダを使用する場合には、特開平８－１０１６０９に開示された回路を用いればよい。

【００６９】

また、ソース信号線駆動回路にもこれを用いて、部分書き換えを行うことができる。

【００７０】

この様な構成により、本発明の携帯情報装置は静止画表示中に動作しつづける部分を少なくし、消費電力を低減することができる。

【００７１】

【実施例】

以下に本発明の実施例について記述する。

【００７２】

[実施例１]

本実施例においては、実施形態において示したＥＬ表示装置の画素部の回路における記憶回路及びＤ／Ａコンバータを、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【００７３】

図８は、図２４に示した画素と同様のもので、Ｄ／Ａコンバータ１１１を実際に回路で構成した例である。Ｄ／Ａコンバータ１１１として、複数の階調電圧線を選択する方式のものを用いた。なお、図２４と同じ部分は同じ符号で示す。

【００７４】

３ビットのデジタル映像信号を処理する場合、８本の階調電圧線があり、それぞれにスイッチＴＦＴが接続されている。記憶回路１０５～１０７からの出力は、デコーダを介してスイッチＴＦＴを選択的に駆動する。これによりデジタル映像信号に応じた階調電圧がＥＬ駆動用ＴＦＴ１１５のゲート電極に入力される。

【００７５】

図中、各部に付した番号において、図２４と同じ部位については、図２４と同じ番号を付している。記憶回路１０５～１０７の各々に、書き込み選択用ＴＦＴ１０８～１１０を設け、記憶回路選択信号線１０２～１０４をもって制御する。

【００７６】

図４は、記憶回路の一例を示したものである。点線枠４５０で示される部分が

記憶回路（図８中、１０５～１０７で示す部分）であり、４５１は書き込み選択用ＴＦＴである。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ（Static RAM ： SRAM）を用いているが、記憶回路に関してはこの構成に限定しない。

【００７７】

本実施例にて図８で示した回路の駆動は、実施形態にて図３を用いて示したタイミングチャートに従って駆動することが出来る。図３、図８を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図３、図８のものをそのまま用いる（図番は省略する）。

【００７８】

図３（Ａ）（Ｂ）を参照する。図３（Ａ）において、各フレーム期間をα、β、γと表記して説明する。まず、区間αにおける回路動作について説明する。

【００７９】

シフトレジスタ回路から第２のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【００８０】

期間Iでは、書き込み用ゲート信号線１０２にパルスが入力されてＴＦＴ１０８が導通し、記憶回路１０５にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線１０３にパルスが入力されてＴＦＴ１０９が導通し、記憶回路１０６にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線１０４にパルスが入力されてＴＦＴ１１０が導通し、記憶回路１０７にデジタル映像信号が書き込まれる。

【００８１】

以上で、１水平期間分のデジタル映像信号の処理が終了する。図３（Ｂ）の期間は、図３（Ａ）において※印で示された期間である。以上の動作を最終段まで行うことにより、１フレーム分のデジタル映像信号が記憶回路１０５～１０７に書き込まれる。

【００８２】

書き込まれたデジタル映像信号は、Ｄ／Ａコンバータ１１１によってアナログ

信号に変換され、ＥＬ駆動用ＴＦＴ１１５のゲート電極に入力される。このアナログ信号に応じた電流が、電源供給線１１２よりＥＬ駆動用ＴＦＴ１１５を介してＥＬ素子１１４に入力される。こうして、デジタル映像信号に応じた電流により、ＥＬ素子１１４の輝度が変化し階調を表現する。ここでは、３ビットであるから、輝度は０～７までの８段階が得られる。

【００８３】

以上のようにして、１フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第２のラッチ回路までのデジタル映像信号の転送までは前述と同様の手順である。

【００８４】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【００８５】

［実施例２］

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第２のラッチ回路を省略した例について記す。

【００８６】

図５は、記憶回路を有する画素を用いたＥＬ表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、３ビットデジタル階調信号に対応したものであり、シフトレジスタ回路５０１、ラッチ回路５０２、画素５０３を有する。５１０は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【００８７】

図６は、図５に示した画素５０３の回路構成の詳細図である。実施例１と同様、３ビットデジタル階調に対応したものであり、ＥＬ素子（ＥＬ）、記憶回路（６０５～６０７）及びＤ／Ａコンバータ（Ｄ／Ａ：６１１）等を有している。６

０１は第１ビット（ＭＳＢ）信号用ソース信号線、６０２は第２ビット信号用ソース信号線、６０３は第３ビット（ＬＳＢ）信号用ソース信号線、６０４は書き込み用ゲート信号線、６０８～６１０は書き込み用ＴＦＴである。

【００８８】

図７は、本実施例にて示した回路の駆動に関するタイミングチャートである。図６および図７を用いて説明する。

【００８９】

シフトレジスタ回路５０１からラッチ回路（ＬＡＴ１）５０２までの動作は実施形態および実施例１と同様に行われる。図７（Ｂ）に示すように、第１段目でのラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線６０４にパルスが入力され、書き込み用ＴＦＴ６０８～６１０が導通し、記憶回路への書き込みが可能な状態となる。ラッチ回路５０２に保持されたビット毎のデジタル映像信号は、３本のソース信号線６０１～６０３を経由して、同時に書き込まれる。

【００９０】

第１段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【００９１】

以上で、１フレーム目の表示期間が完了する。区間βでは、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路５０２へのデジタル映像信号の保持までは前述と同様の手順である。

【００９２】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例１にて示

した回路と比較すると、ラッチ回路の数を１／２とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【００９３】

[実施例３]

本実施例においては、実施例２にて示した、第２のラッチ回路を省略したＥＬ表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いたＥＬ表示装置の例について記す。

【００９４】

図１７は、本実施例にて示すＥＬ表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、３ビットデジタル階調信号に対応したものであり、シフトレジスタ回路１７０１、ラッチ回路１７０２、スイッチ回路１７０３、画素１７０４を有する。１７１０は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例２のものと同様で良いので、図６をそのまま参照する。

【００９５】

図１８は、本実施例にて示した回路の駆動に関するタイミングチャートである。図６、図１７および図１８を用いて説明する。

【００９６】

シフトレジスタ回路１７０１からサンプリングパルスが出力され、ラッチ回路１７０２で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例１および実施例２と同様である。本実施例では、ラッチ回路１７０２と画素１７０４内の記憶回路との間に、スイッチ回路１７０３を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路１７０３は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【００９７】

図１８（Ｂ）に示すように、１水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号（Ｌａｔｃｈ　Ｐｕｌｓｅ）が入力され

てスイッチ回路１７０３が一斉に開き、ラッチ回路１７０２で保持されていたデジタル映像信号は一斉に画素１７０４内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素１７０４内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素１７０４内の動作については、実施例２と同様で良いので、ここでは説明を省略する。

【００９８】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【００９９】

[実施例４]

本実施例では、図８で示したＤ／Ａコンバータとは異なる構造のものを用いた画素の例を示す。図９に、その回路図を示す。なお、図８と同じ部分は同じ符号で示す。

【０１００】

図８で示したものと同様に階調電圧線を選択する方式であるが、図８では、素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図９では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。

【０１０１】

[実施例５]

本実施例では、図８や図９で示したＤ／Ａコンバータとは異なる構造のものを用いた画素の例を示す。図２０に、その回路図を示す。なお、図８及び図９と同じ部分は同じ符号で示す。

【０１０２】

図８や図９で示したＤ／Ａコンバータでは、階調電圧線を用いるため、階調数の分だけ配線が必要となり、多階調化には適さない。そのため、図２０では、容量Ｃ１～Ｃ３の組み合わせによって、基準電圧を分圧し、階調電圧を作っている。この様な容量分割方式では、容量Ｃ１～Ｃ３の比で階調が作られるため、多様な階調が表現可能である。

【０１０３】

この様な容量分割方式のＤ／Ａコンバータは、AMLCD99 Digest of Technical Papers p29～32に記載してある。

【０１０４】

[実施例６]

本実施例では、図８や図９及び図２０で示したＤ／Ａコンバータとは異なる構造のものを用いた画素の例を示す。図２１に、その回路図を示す。なお、図８や図９及び図２０と同じ部分は同じ符号で示す。

【０１０５】

図２１に示したものは、図２０のＤ／Ａコンバータをさらに簡略化したものである。容量Ｃ１～Ｃ３それぞれの２つの電極のうちＥＬ素子と接続されていない方の電極は、リセット時にはV_Lに接続され、非リセット時には、V_HまたはV_Lのいずれかに接続されるが、その接続をスイッチのみで構成できる。

【０１０６】

[実施例７]

本実施例では、実施形態で示した図２５とは異なった構造のソース信号線駆動回路の例を示す。

【０１０７】

図２２に示す様に、ソース信号線駆動回路のラッチ回路を１ビット分のみ有し、代わりにソース信号線駆動回路を３倍の速度で動作させ、１ライン期間中に、第１ビットデータ、第２ビットデータ、第３ビットデータの順にデータをソース信号線駆動回路に入力し、実施形態で示した図２５のソース信号線駆動回路と同様の効果を得られる。

【０１０８】

この方式では、外部にデータを順に入れ替えるための回路が必要であるが、ソース信号線駆動回路は小さくすることが可能である。

【０１０９】

[実施例８]

本実施例では、本発明の携帯情報装置のＥＬ表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）のＴＦＴ

を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるＣＭＯＳ回路を図示することとする。

【０１１０】

まず、図１０（Ａ）に示すように、コーニング社の＃７０５９ガラスや＃１７３７ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板５００１上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜５００２を形成する。例えば、プラズマＣＶＤ法でSiH_4、NH_3、N_2Oから作製される酸化窒化シリコン膜５００２ａを１０～２００[nm]（好ましくは５０～１００[nm]）形成し、同様にSiH_4、N_2Oから作製される酸化窒化水素化シリコン膜５００２ｂを５０～２００[nm]（好ましくは１００～１５０[nm]）の厚さに積層形成する。本実施例では下地膜５００２を２層構造として示したが、前記絶縁膜の単層膜または２層以上積層させた構造として形成しても良い。

【０１１１】

島状半導体層５００３～５００６は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層５００３～５００６の厚さは２５～８０[nm]（好ましくは３０～６０[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ＳｉＧｅ）合金などで形成すると良い。

【０１１２】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやＹＡＧレーザー、YVO_4レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数３０[Hz]とし、レーザーエネルギー密度を１００～４００[mJ/cm^2]（代表的には２００～３００[mJ/cm^2]）とする。また、ＹＡＧレーザーを用いる場合にはその第２高調波を用いパルス発振周波数１～１０[kHz]とし、レーザーエネルギー密度を３００～６００[mJ/cm^2]（代表的には３５０～５００[mJ/cm^2]）とする

と良い。そして幅１００～１０００[μm]、例えば４００[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を８０～９８[%]として行う。

【０１１３】

次いで、島状半導体層５００３～５００６を覆うゲート絶縁膜５００７を形成する。ゲート絶縁膜５００７はプラズマＣＶＤ法またはスパッタ法を用い、厚さを４０～１５０[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、１２０[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマＣＶＤ法でＴＥＯＳ（Tetraethyl Orthosilicate）とO_2とを混合し、反応圧力４０[Pa]、基板温度３００～４００[℃]とし、高周波（１３．５６[MHz]）、電力密度０．５～０．８[W/cm^2]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後４００～５００[℃]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【０１１４】

そして、ゲート絶縁膜５００７上にゲート電極を形成するための第１の導電膜５００８と第２の導電膜５００９とを形成する。本実施例では、第１の導電膜５００８をＴａで５０～１００[nm]の厚さに形成し、第２の導電膜５００９をＷで１００～３００[nm]の厚さに形成する。

【０１１５】

Ｔａ膜はスパッタ法で、ＴａのターゲットをＡｒでスパッタすることにより形成する。この場合、Ａｒに適量のＸｅやＫｒを加えると、Ｔａ膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のＴａ膜の抵抗率は２０[μΩcm]程度でありゲート電極に使用することが出来るが、β相のＴａ膜の抵抗率は１８０[μΩcm]程度でありゲート電極とするには不向きである。α相のＴａ膜を形成するために、Ｔａのα相に近い結晶構造をもつ窒化タンタルを１０～５０[nm]程度の厚さでＴａの下地に形成しておくとα相のＴａ膜を容易に得ることが出来る。

【０１１６】

Ｗ膜を形成する場合には、Ｗをターゲットとしたスパッタ法で形成する。その他に６フッ化タングステン（WF_6）を用いる熱ＣＶＤ法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、Ｗ膜の抵抗率は２０[μΩcm]以下にすることが望ましい。Ｗ膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、Ｗ中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度９９．９９９９[%]のＷターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してＷ膜を形成することにより、抵抗率９～２０[μΩcm]を実現することが出来る。

【０１１７】

なお、本実施例では、第１の導電膜５００８をＴａ、第２の導電膜５００９をＷとしたが、特に限定されず、いずれもＴａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第１の導電膜５００８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜５００９をＷとする組み合わせ、第１の導電膜５００８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜５００９をＡｌとする組み合わせ、第１の導電膜５００８を窒化タンタル（ＴａＮ）で形成し、第２の導電膜５００９をＣｕとする組み合わせが挙げられる。

【０１１８】

次に、レジストによるマスク５０１０を形成し、電極及び配線を形成するための第１のエッチング処理を行う。本実施例ではＩＣＰ（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF_4とCl_2を混合し、１[Pa]の圧力でコイル型の電極に５００[W]のＲＦ（１３．５６[MHz]）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも１００[W]のＲＦ（１３．５６[MHz]）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF_4とCl_2を混合した場合にはＷ膜及びＴａ膜とも同程度に

エッチングされる。

【０１１９】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第１の導電層及び第２の導電層の端部がテーパー形状となる。テーパー部の角度は１５～４５°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、１０～２０[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は２～４（代表的には３）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は２０～５０[nm]程度エッチングされることになる。こうして、第１のエッチング処理により第１の導電層と第２の導電層から成る第１の形状の導電層５０１１～５０１６（第１の導電層５０１１ａ～５０１６ａと第２の導電層５０１１ｂ～５０１６ｂ）を形成する。このとき、ゲート絶縁膜５００７においては、第１の形状の導電層５０１１～５０１６で覆われない領域は２０～５０[nm]程度エッチングされ薄くなった領域が形成される。（図１０（Ａ））

【０１２０】

そして、第１のドーピング処理を行いＮ型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を1×10^{13}～5×10^{14}[atoms/cm^2]とし、加速電圧を６０～１００[keV]として行う。Ｎ型を付与する不純物元素として１５族に属する元素、典型的にはリン（Ｐ）または砒素（Ａｓ）を用いるが、ここではリン（Ｐ）を用いる。この場合、導電層５０１１～５０１５がＮ型を付与する不純物元素に対するマスクとなり、自己整合的に第１の不純物領域５０１７～５０２５が形成される。第１の不純物領域５０１７～５０２５には1×10^{20}～1×10^{21}[atoms/cm^3]の濃度範囲でＮ型を付与する不純物元素を添加する。（図１０（Ｂ））

【０１２１】

次に、図１０（Ｃ）に示すように、レジストマスクは除去しないまま、第２のエッチング処理を行う。エッチングガスにCF_4とCl_2とO_2とを用い、W膜を

選択的にエッチングする。この時、第２のエッチング処理により第２の形状の導電層５０２６～５０３１（第１の導電層５０２６ａ～５０３１ａと第２の導電層５０２６ｂ～５０３１ｂ）を形成する。このとき、ゲート絶縁膜５００７においては、第２の形状の導電層５０２６～５０３１で覆われない領域はさらに２０～５０[nm]程度エッチングされ薄くなった領域が形成される。

【０１２２】

Ｗ膜やＴａ膜のCF_4とCl_2の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。ＷとＴａのフッ化物と塩化物の蒸気圧を比較すると、Ｗのフッ化物であるWF_6が極端に高く、その他のWCl_5、TaF_5、$TaCl_5$は同程度である。従って、CF_4とCl_2の混合ガスではＷ膜及びＴａ膜共にエッチングされる。しかし、この混合ガスに適量のO_2を添加するとCF_4とO_2が反応してＣＯとＦになり、Ｆラジカルまたはイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いＷ膜のエッチング速度が増大する。一方、ＴａはＦが増大しても相対的にエッチング速度の増加は少ない。また、ＴａはＷに比較して酸化されやすいので、O_2を添加することでＴａの表面が酸化される。Ｔａの酸化物はフッ素や塩素と反応しないためさらにＴａ膜のエッチング速度は低下する。従って、Ｗ膜とＴａ膜とのエッチング速度に差を作ることが可能となりＷ膜のエッチング速度をＴａ膜よりも大きくすることが可能となる。

【０１２３】

そして、図１１（Ａ）に示すように第２のドーピング処理を行う。この場合、第１のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてＮ型を付与する不純物元素をドーピングする。例えば、加速電圧を７０～１２０[keV]とし、1×10^{13}[atoms/cm^2]のドーズ量で行い、図１０（Ｂ）で島状半導体層に形成された第１の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第２の形状の導電層５０２６～５０３０を不純物元素に対するマスクとして用い、第１の導電層５０２６ａ～５０３０ａの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第３の不純物領域５０３２～５０３６が形成される。この第３の不純物領域５０３２～５０３６に添加されたリン（

Ｐ）の濃度は、第１の導電層５０２６ａ～５０３０ａのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第１の導電層５０２６ａ～５０３０ａのテーパー部と重なる半導体層において、第１の導電層５０２６ａ～５０３０ａのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【０１２４】

図１１（Ｂ）に示すように第３のエッチング処理を行う。エッチングガスにCHF_6を用い、反応性イオンエッチング法（ＲＩＥ法）を用いて行う。第３のエッチング処理により、第１の導電層５０２６ａ～５０３１ａのテーパー部を部分的にエッチングして、第１の導電層が半導体層と重なる領域が縮小される。第３のエッチング処理によって、第３の形状の導電層５０３７～５０４２（第１の導電層５０３７ａ～５０４２ａと第２の導電層５０３７ｂ～５０４２ｂ）を形成する。このとき、ゲート絶縁膜５００７においては、第３の形状の導電層５０３７～５０４２で覆われない領域はさらに２０～５０[nm]程度エッチングされ薄くなった領域が形成される。

【０１２５】

第３のエッチング処理によって、第３の不純物領域５０３２～５０３６においては、第１の導電層５０３７ａ～５０４１ａと重なる第３の不純物領域５０３２ａ～５０３６ａと、第１の不純物領域と第３の不純物領域との間の第２の不純物領域５０３２ｂ～５０３６ｂとが形成される。

【０１２６】

そして、図１１（Ｃ）に示すように、Ｐチャネル型ＴＦＴを形成する島状半導体層５００４に第1の導電型とは逆の導電型の第４の不純物領域５０４３～５０４８を形成する。第３の形状の導電層５０３８ｂを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Ｎチャネル型ＴＦＴを形成する島状半導体層５００３、５００５、５００６および配線部５０４２はレジストマスク５２００で全面を被覆しておく。不純物領域５０４３～５０４８にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（B_2H_6）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が２×１０

^{20}～２×１０^{21}[atoms/cm^3]となるようにする。

【０１２７】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第３の形状の導電層５０３７～５０４１がゲート電極として機能する。また、５０４２は島状のソース信号線として機能する。

【０１２８】

レジストマスク５２００を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（ＲＴＡ法）を適用することが出来る。熱アニール法では酸素濃度が１[ppm]以下、好ましくは０．１[ppm]以下の窒素雰囲気中で４００～７００[℃]、代表的には５００～６００[℃]で行うものであり、本実施例では５００[℃]で４時間の熱処理を行う。ただし、第３の形状の導電層５０３７～５０４２に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【０１２９】

さらに、３～１００[%]の水素を含む雰囲気中で、３００～４５０[℃]で１～１２時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１３０】

次いで、図１２（Ａ）に示すように、第１の層間絶縁膜５０５５を酸化窒化シリコン膜から１００～２００[nm]の厚さで形成する。その上に有機絶縁物材料から成る第２の層間絶縁膜５０５６を形成した後、第１の層間絶縁膜５０５５、第２の層間絶縁膜５０５６、およびゲート絶縁膜５００７に対してコンタクトホールを形成し、各配線（接続配線、信号線を含む）５０５７～５０６２、５０６４をパターニング形成した後、接続配線５０６２に接する画素電極５０６３をパタ

ーニング形成する。

【０１３１】

第２の層間絶縁膜５０５６としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、ＢＣＢ（ベンゾシクロブテン）等を使用することが出来る。特に、第２の層間絶縁膜５０５６は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではＴＦＴによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは１～５[μｍ]（さらに好ましくは２～４[μｍ]）とすれば良い。

【０１３２】

コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、Ｎ型の不純物領域５０１７、５０１８、５０２１、５０２３～５０２５またはＰ型の不純物領域５０４３～５０４８に達するコンタクトホール、配線５０４２に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【０１３３】

また、配線（接続配線、信号線を含む）５０５７～５０６２、５０６４として、Ｔｉ膜を１００[nm]、Ｔｉを含むアルミニウム膜を３００[nm]、Ｔｉ膜１５０[nm]をスパッタ法で連続形成した３層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【０１３４】

また、本実施例では、画素電極５０６３としてＭｇＡｇ膜を１１０[nm]の厚さに形成し、パターニングを行った。画素電極５０６３を接続配線５０６２と接して重なるように配置することでコンタクトを取っている。この画素電極５０６３がＥＬ素子の陽極となる。（図１２（Ａ））

【０１３５】

次に、図１２（Ｂ）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を５００[nm]の厚さに形成し、画素電極５０６３に対応する位置に開口部を形成して、バンクとして機能する第３の層間絶縁膜５０６５を形成する。開口部

を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因するＥＬ層の劣化が顕著な問題となってしまうため、注意が必要である。

【０１３６】

次に、ＥＬ層５０６６および陰極（透明電極）５０６７を、真空蒸着法を用いて大気解放しないで連続形成する。なお、ＥＬ層５０６６の膜厚は８０～２００[nm]（典型的には１００～１２０[nm]）、陰極５０６７は、ＩＴＯ膜にて形成した。

【０１３７】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、ＥＬ層および陰極を形成する。但し、ＥＬ層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にＥＬ層および陰極を形成するのが好ましい。

【０１３８】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のＥＬ層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のＥＬ層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のＥＬ層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【０１３９】

ここではＲＧＢに対応した３種類のＥＬ素子を形成する方式を用いたが、白色発光のＥＬ素子とカラーフィルタを組み合わせた方式、青色または青緑発光のＥＬ素子と蛍光体（蛍光性の色変換層：ＣＣＭ）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してＲＧＢに対応したＥＬ素子を重ねる方式などを用いても良い。

【０１４０】

なお、ＥＬ層５０６６としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる４層構造をＥＬ層とすれば良い。

【０１４１】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用ＴＦＴを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極５０６７を形成する。なお本実施例では陰極５０６７としてＭｇＡｇを用いたが、本発明はこれに限定されない。陰極５０６７として他の公知の材料を用いても良い。

【０１４２】

最後に、窒化珪素膜でなるパッシベーション膜５０６８を３００[nm]の厚さに形成する。パッシベーション膜５０６８を形成しておくことで、ＥＬ層５０６６を水分等から保護することができ、ＥＬ素子の信頼性をさらに高めることが出来る。

【０１４３】

こうして図１２（Ｂ）に示すような構造のＥＬディスプレイパネルが完成する。なお、本実施例におけるＥＬディスプレイパネルの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるＴａ、Ｗによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるＡｌによってゲート信号線を形成しているが、異なる材料を用いても良い。

【０１４４】

なお、上記の行程により作成されるアクティブマトリクス型ＥＬ表示装置におけるＴＦＴはトップゲート構造をとっているが、ボトムゲート構造のＴＦＴやその他の構造のＴＦＴに対しても本実施例は容易に適用され得る。

【０１４５】

また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【０１４６】

ところで、本実施例のＥＬディスプレイパネルは、画素部だけでなく駆動回路部にも最適な構造のＴＦＴを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてＮｉ等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を１０[MHz]以上にすることが可能である。

【０１４７】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するＴＦＴを、駆動回路部を形成するＣＭＯＳ回路のＮチャネル型ＴＦＴとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【０１４８】

本実施例の場合、Ｎチャネル型ＴＦＴの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップＬＤＤ領域（L_{OV}領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットＬＤＤ領域（L_{OFF}領域）およびチャネル形成領域を含む。

【０１４９】

また、ＣＭＯＳ回路のＰチャネル型ＴＦＴは、ホットキャリア注入による劣化が殆ど気にならないので、特にＬＤＤ領域を設けなくても良い。勿論、Ｎチャネル型ＴＦＴと同様にＬＤＤ領域を設け、ホットキャリア対策を講じることも可能である。

【０１５０】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなＣＭＯＳ回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなＣＭＯＳ回路が用いられる場合、ＣＭＯＳ回路を形成するＮチャネル型ＴＦＴは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でＬＤＤ領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるＣＭＯＳ回路が用いられる場合、ＣＭＯＳ回路を形成するＮチャ

ネル型ＴＦＴは、L_{OV}領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【０１５１】

なお、実際には図１２（Ｂ）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとＥＬ素子の信頼性が向上する。

【０１５２】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：ＦＰＣ）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中ではＥＬ表示装置という。

【０１５３】

また、本実施例で示す工程に従えば、ＥＬ表示装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【０１５４】

[実施例９]

本実施例では、本発明の携帯情報装置のＥＬ表示装置を作製した例について、図１９を用いて説明する。

【０１５５】

図１９（Ａ）は、ＥＬ表示装置の上面図であり、図１９（Ｂ）は、図１９（Ａ）のＡ－Ａ’における断面図、図１９（Ｃ）は図１９（Ａ）のＢ－Ｂ’における断面図である。

【０１５６】

基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、ｂとを囲むようにして、シール材４００９が設けられている。また画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、ｂとの上にシーリング材４００８が設けられている。よって画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、ｂとは、基板４００１とシール材４００９とシーリング材４００８とによって、充填材４２１０で密封されている。

【０１５７】

また基板４００１上に設けられた画素部４００２と、ソース信号線駆動回路４００３と、第１及び第２のゲート信号線駆動回路４００４ａ、ｂとは、複数のＴＦＴを有している。図１９（Ｂ）では代表的に、下地膜４０１０上に形成された、ソース信号線駆動回路４００３に含まれる駆動ＴＦＴ（但し、ここではｎチャネル型ＴＦＴとｐチャネル型ＴＦＴを図示する）４２０１及び画素部４００２に含まれる画素ＴＦＴ（ＥＬ素子への電流を制御するＴＦＴ）４２０２を図示した。

【０１５８】

本実施例では、駆動ＴＦＴ４２０１には公知の方法で作製されたｐチャネル型ＴＦＴまたはｎチャネル型ＴＦＴが用いられ、ＥＬ駆動用ＴＦＴ４２０２には公知の方法で作製されたｐチャネル型ＴＦＴが用いられる。

【０１５９】

駆動ＴＦＴ４２０１及びＥＬ駆動用ＴＦＴ４２０２上には層間絶縁膜（平坦化膜）４３０１が形成され、その上にＥＬ駆動用ＴＦＴ４２０２のドレインと電気的に接続する画素電極（陽極）４２０３が形成される。画素電極４２０３としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【０１６０】

そして、画素電極４２０３の上には絶縁膜４３０２が形成され、絶縁膜４３０２は画素電極４２０３の上に開口部が形成されている。この開口部において、画素電極４２０３の上にはＥＬ（エレクトロルミネッセンス）層４２０４が形成される。ＥＬ層４２０４は公知の有機ＥＬ材料または無機ＥＬ材料を用いることができる。また、有機ＥＬ材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【０１６１】

ＥＬ層４２０４の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、ＥＬ層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【０１６２】

ＥＬ層４２０４の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極４２０５が形成される。また、陰極４２０５とＥＬ層４２０４の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、ＥＬ層４２０４を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極４２０５を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極４２０５は所定の電圧が与えられている。

【０１６３】

以上のようにして、画素電極（陽極）４２０３、ＥＬ層４２０４及び陰極４２０５からなるＥＬ素子４３０３が形成される。そしてＥＬ素子４３０３を覆うように、絶縁膜４３０２上に保護膜４３０３が形成されている。保護膜４３０３は、ＥＬ素子４３０３に酸素や水分等が入り込むのを防ぐのに効果的である。

【０１６４】

４００５ａは電源供給線に接続された引き回し配線であり、ＥＬ駆動用ＴＦＴ４２０２のソース領域に電気的に接続されている。引き回し配線４００５ａはシール材４００９と基板４００１との間を通り、異方導電性フィルム４３００を介してＦＰＣ４００６が有するＦＰＣ用配線４３０１に電気的に接続される。

【０１６５】

シーリング材４００８としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ　Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【０１６６】

但し、ＥＬ素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【０１６７】

また、充填材４１０３としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【０１６８】

また充填材４１０３を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材４００８の基板４００１側の面に凹部４００７を設けて吸湿性物質または酸素を吸着しうる物質４２０７を配置する。そして、吸湿性物質または酸素を吸着しうる物質４２０７が飛び散らないように、凹部カバー材４２０８によって吸湿性物質または酸素を吸着しうる物質４２０７は凹部４００７に保持されている。なお凹部カバー材４２０８は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質４２０７は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質４２０７を設けることで、ＥＬ素子４３０３の劣化を抑制できる。

【０１６９】

図１７（Ｃ）に示すように、画素電極４２０３が形成されると同時に、引き回し配線４００５ａ上に接するように導電性膜４２０３ａが形成される。

【０１７０】

また、異方導電性フィルム４３００は導電性フィラー４３００ａを有している。基板４００１とＦＰＣ４００６とを熱圧着することで、基板４００１上の導電性膜４２０３ａとＦＰＣ４００６上のＦＰＣ用配線４３０１とが、導電性フィラー４３００ａによって電気的に接続される。

【０１７１】

[実施例１０]

本実施例では、本発明の携帯情報装置のＥＬ表示装置として、ＥＬ素子より発光した光を画素基板側に放射する下方出光のＥＬ表示装置を使用した場合の例を示す。

【０１７２】

デサインルールを１μｍルール、画素ピッチを１００ｐｐｉ程度とすれば、画素内部の記憶回路及びＤ／Ａコンバータ等は、ソース信号線の下に配置することが可能となり、開口率の低下の問題を解決することができる。これにより、本発明を、ＥＬ素子より発光した光を画素基板側とは逆の方向に放射する上方出光のＥＬ表示装置だけでなく、下方出光のＥＬ表示装置にも適用できる。

【０１７３】

図３０に、上記構成の下方出光のＥＬ表示装置の画素の上面図を模式的に示す。

【０１７４】

３３０１は画素、３３０２～３３０４は記憶回路、３３０５はＤ／Ａコンバータ（図中Ｄ／Ａと記載）、３３０６は画素電極、３３０７はソース信号線である。画素電極３３０６としては透明電極を用いる。なお、電源供給線や対向電極、カラーフィルタ及び保持容量等は図示していない。ここで、記憶回路３０２～３３０４及びＤ／Ａコンバータ３３０５は、ソース信号線３３０７の下に形成されている。

【０１７５】

なお図示していないが、ソース信号線３３０７の下ではなくゲート信号線の下に、これらの記憶回路３０２～３３０４及びＤ／Ａコンバータ３３０５等を配置することも可能である。

【０１７６】

[実施例１１]

本発明の情報端末機器のＥＬ表示装置の画素においては、記憶回路としてスタティック型メモリ（Static RAM：SRAM）を用いて構成していたが、記憶回路はＳＲＡＭのみに限定されない。本発明の情報端末機器のＥＬ表示装置の画素に適用可能な記憶回路には、他にダイナミック型メモリ（Dynamic RAM：DRAM）等があげられる。

【０１７７】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FRAM）を利用して本発明の情報端末機器のＥＬ表示装置の画素を構成することも可能である。ＦＲＡＭは、ＳＲＡＭやＤＲＡＭと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の情報端末機器のＥＬ表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【０１７８】

[実施例１２]

本発明の携帯情報装置が有するＥＬ表示装置において、三重項励起子からの燐光を発光に利用できるＥＬ材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、ＥＬ素子の低消費電力化、長寿命化、および軽量化が可能になる。

【０１７９】

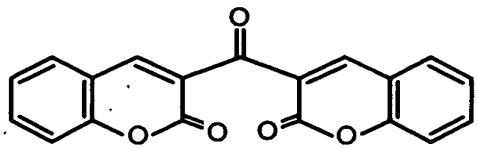
ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【０１８０】

上記の論文により報告されたＥＬ材料（クマリン色素）の分子式を以下に示す。

【０１８１】

【化１】



【０１８２】

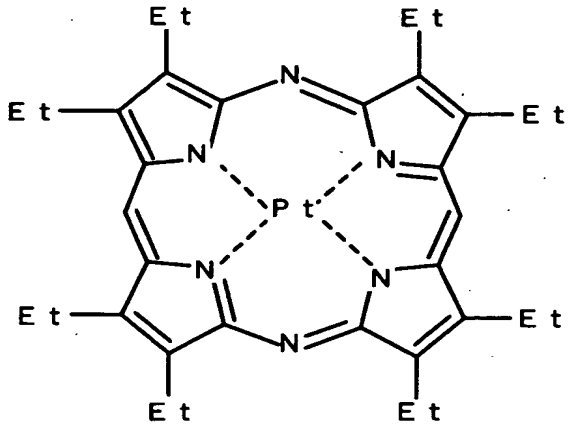
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【０１８３】

上記の論文により報告されたＥＬ材料（Ｐｔ錯体）の分子式を以下に示す。

【０１８４】

【化２】



【０１８５】

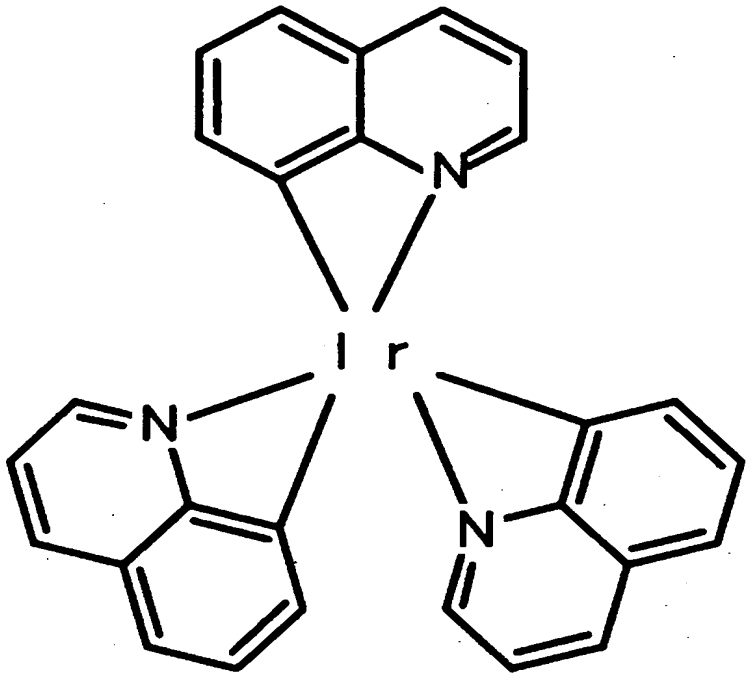
(M.A.Baldo, S.Lamansky, P.E.Burrrows, M.E.Thompson, S.R.Forrest, Appl. Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【０１８６】

上記の論文により報告されたＥＬ材料（Ｉｒ錯体）の分子式を以下に示す。

【０１８７】

【化３】



【０１８８】

次に、三重項励起子からの燐光を発光に利用できるＥＬ材料の特性について述べる。

【０１８９】

本発明の携帯情報装置の有するＥＬ表示装置において、任意波形発生器により電源供給線にＤＣ印加、ON-OFFをスイッチングし、応答時間を測定した。ON期間（選択期間）、off期間（非選択期間、電圧０Ｖ）はそれぞれ250μsとした。

【０１９０】

ＥＬ素子の発光輝度を測定する光学系として、顕微鏡、顕微鏡鏡筒にフォトマルチプライヤー設置し、フォトマルチプライヤーの出力をオシロスコープで測定した。なお本明細書において応答時間とは、非選択状態から選択状態へのスイッチの立ち上がり、選択状態から非選択状態へのスイッチの立ち下がりと定義する

。具体的には、駆動波形のスイッチの瞬間からそれに追従する光学応答の変化がフル応答に対し９０％まで変化するのに要する時間を応答時間とした。

【０１９１】

図３４に、測定時における、電源供給線に入力される信号の駆動波形と、ＥＬ素子の発光輝度を意味する光学応答波形を示す。上が駆動波形、下が光学応答である。フォトマルチプライヤーはマイナス出力のタイプを使用しており、電圧０Ｖから６Ｖまでを印加した。この時応答時間は３３μｓであった。

【０１９２】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。

【０１９３】

[実施例１３]

本実施例では、本発明の携帯情報端末の外観図について述べる。図３１に示すのは本発明の構成を有する携帯情報端末であり、２７０１は表示用パネル、２７０２は操作用パネルである。表示用パネル２７０１と操作用パネル２７０２とは接続部２７０３において接続されている。そして接続部２７０３における、表示用パネル２７０１の表示部２７０４が設けられている面と操作用パネル２７０２の操作キー２７０６が設けられている面との角度θは、任意に変えることができる。

【０１９４】

表示用パネル２７０１は表示部２７０４を有している。また図３１に示した携帯情報端末は電話としての機能を有しており、表示用パネル２７０１は音声出力部２７０５を有しており、音声が音声出力部２７０５から出力される。表示部２７０４にはＥＬ表示装置が用いられている。

【０１９５】

表示部２７０４のアスペクト比は１６：９、４：３など任意に選択することができる。表示部２７０４のサイズは対角１インチ～４．５インチ程度が望ましい

。

【０１９６】

操作用パネル２７０２は操作キー２７０６、電源スイッチ２７０７、音声入力部２７０８を有している。なお図３１では操作キー２７０６と電源スイッチ２７０７とを別個に設けたが、操作キー２７０６の中に電源スイッチ２７０７が含まれる構成にしても良い。音声入力部２７０８において、音声が入力される。

【０１９７】

なお図３１では表示用パネル２７０１が音声出力部２７０５を有し、操作用パネル２７０２が音声入力部２７０８を有しているが、本実施例はこの構成に限定されない。表示用パネル２７０１が音声入力部２７０８を有し、操作用パネルが音声出力部２７０５を有していても良い。また音声出力部２７０５と音声入力部２７０８とが共に表示用パネル２７０１に設けられていても良いし、音声出力部２７０５と音声入力部２７０８とが共に操作用パネル２７０２に設けられていても良い。

【０１９８】

なお図３２では図３１で示した携帯情報端末の操作キー２７０６を人差し指で操作している例について示した。また図３３では図３１で示した携帯情報端末の操作キー２７０６を親指で操作している例について示した。なお操作キー２７０６は操作用パネル２７０２の側面に設けても良い。操作は片手（きき手）の人差し指のみ、または親指のみでも可能である。

【０１９９】

[実施例１４]

本実施例では、本発明の携帯情報装置を応用した電子機器について、図２８及び図２７を用いて説明する。

【０２００】

本発明の携帯情報装置としてパーソナルコンピュータがある。図２８（Ａ）はパーソナルコンピュータであり、本体２８０１、画像入力部２８０２、表示部２８０３、キーボード２８０４等を含む。表示部２８０３として、画素毎に記憶回路を有するＥＬ表示装置を用いることで、パーソナルコンピュータの低消費電力化を実現できる。

【０２０１】

本発明の携帯情報装置としてナビゲーション装置がある。図２８（Ｂ）はナビゲーション装置であり、本体２８１１、表示部２８１２、スピーカ部２８１３、記憶媒体２８１４、操作スイッチ２８１５等を含む。表示部２８１２として、画素毎に記憶回路を有するＥＬ表示装置を用いることで、ナビゲーション装置の低消費電力化を実現できる。

【０２０２】

本発明の携帯情報装置として電子書籍がある。図２８（Ｃ）は電子書籍であり、本体２８５１、表示部２８５２、記憶媒体２８５３、操作スイッチ２８５４、アンテナ２８５５等を含み、ミニディスク（ＭＤ）やＤＶＤ（Ｄｉｇｉｔａｌ Ｖｅｒｓａｔｉｌｅ Ｄｉｓｃ）に記憶されたデータや、アンテナで受信したデータを表示するものである。表示部２６５２として、画素毎に記憶回路を有するＥＬ表示装置を用いることで、電子書籍の低消費電力化を実現できる。

【０２０３】

本発明の携帯情報装置として携帯電話がある。図２７（Ａ）は携帯電話であり、表示用パネル２９０１、操作用パネル２９０２、接続部２９０３、表示部２９０４、音声出力部２９０５、操作キー２９０６、電源スイッチ２９０７、音声入力部２９０８、アンテナ２９０９、ＣＣＤ受光部２９１０、外部入力ポート２０１１等を含む。表示部２９０４として、画素毎に記憶回路を有するＥＬ表示装置を用いることで、携帯電話の低消費電力化を実現できる。

【０２０４】

本発明の携帯情報装置としてＰＤＡがある。図２７（Ｂ）はＰＤＡであり、表示部及びペン入力ダブレット３００４、操作キー３００６、電源スイッチ３００７、外部入力ポート３０１１、入力用ペン３０１２等を含む。表示部３００４として、画素毎に記憶回路を有するＥＬ表示装置を用いることで、ＰＤＡの低消費電力化を実現できる。

【０２０５】

【発明の効果】

ＥＬ表示装置を組み込んだ携帯情報装置において、各画素の内部に配置された

複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。また、ＥＬ表示装置に入力する信号を処理する、映像信号処理回路等の回路も、継続的に静止画表示を行う際は、停止させておくことが可能になるため、携帯情報装置の低消費電力化に大きく貢献する。

【図面の簡単な説明】

【図１】　複数の記憶回路を内部に有する本発明の携帯情報装置のＥＬ表示装置の画素の回路図。

【図２】　本発明の携帯情報装置のＥＬ表示装置の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図３】　本発明の携帯情報装置のＥＬ表示装置の画素を用いて表示を行うためのタイミングチャートを示す図。

【図４】　複数の記憶回路を内部に有する本発明の携帯情報装置のＥＬ表示装置の画素の詳細な回路図。

【図５】　第２のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図６】　図５のソース信号線駆動回路によって駆動される、本発明の携帯情報装置のＥＬ表示装置の画素の詳細な回路図。

【図７】　図５および図６に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図８】　本発明の携帯情報装置のＥＬ表示装置のＤ／Ａコンバータの構成を示す図。

【図９】　本発明の携帯情報装置のＥＬ表示装置のＤ／Ａコンバータの構成を示す図。

【図１０】　本発明の携帯情報装置のＥＬ表示装置の作成工程例を示す図。

【図１１】　本発明の携帯情報装置のＥＬ表示装置の作成工程例を示す図。

【図１２】　本発明の携帯情報装置のＥＬ表示装置の作成工程例を示す図。

【図１３】　従来の携帯情報装置のＥＬ表示装置の全体の回路構成を簡略に

示す図。

【図１４】　従来の携帯情報装置のＥＬ表示装置のソース信号線駆動回路の回路構成例を示す図。

【図１５】　従来の携帯情報端末のブロック図。

【図１６】　従来の携帯電話のブロック図。

【図１７】　第２のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図１８】　図１７に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図１９】　本発明の携帯情報装置のＥＬ表示装置の上面図及び断面図。

【図２０】　本発明の携帯情報装置のＥＬ表示装置のＤ／Ａコンバータの構成を示す図。

【図２１】　本発明の携帯情報装置のＥＬ表示装置のＤ／Ａコンバータの構成を示す図。

【図２２】　１ビット処理分のラッチ回路を有するソース信号線駆動回路の回路構成例を示す図。

【図２３】　デコーダを用いたゲート信号線駆動回路の例を示す図。

【図２４】　本発明を用いた携帯情報端末のブロック図。

【図２５】　本発明を用いた携帯電話のブロック図。

【図２６】　携帯電話の送受信部のブロック図。

【図２７】　本発明の携帯情報装置の応用例を示す図。

【図２８】　本発明の携帯情報装置の応用例を示す図。

【図２９】　従来のアクティブマトリクス型ＥＬ表示装置の画素部の構成例を示す図。

【図３０】　本発明の携帯情報装置のＥＬ表示装置の画素の上面図。

【図３１】　本発明の携帯情報端末の例を示す図。

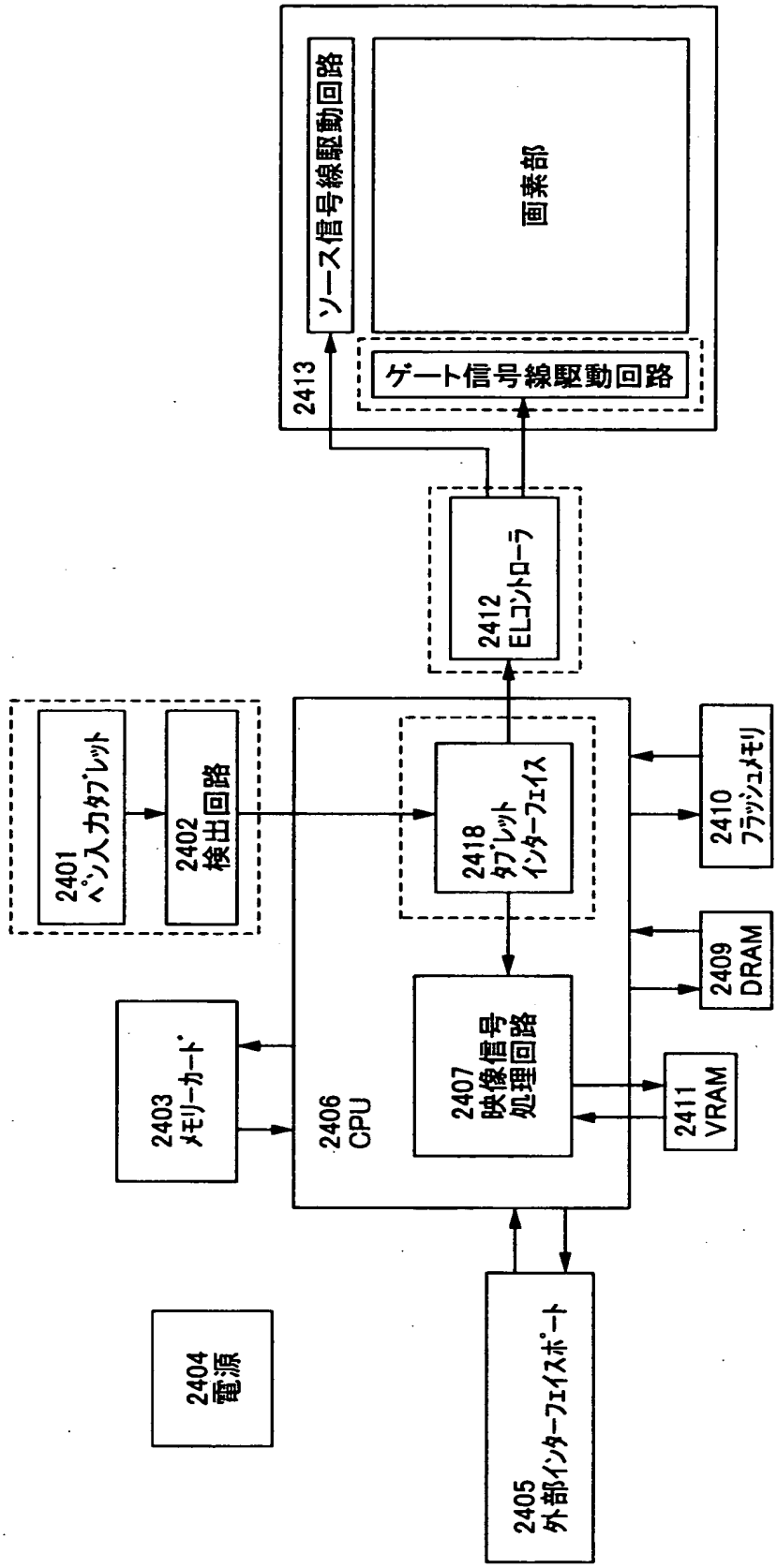
【図３２】　本発明の携帯情報端末の例を示す図。

【図３３】　本発明の携帯情報端末の例を示す図。

【図３４】　三重項励起子からの燐光を利用したＥＬ材料の特性を示す図。

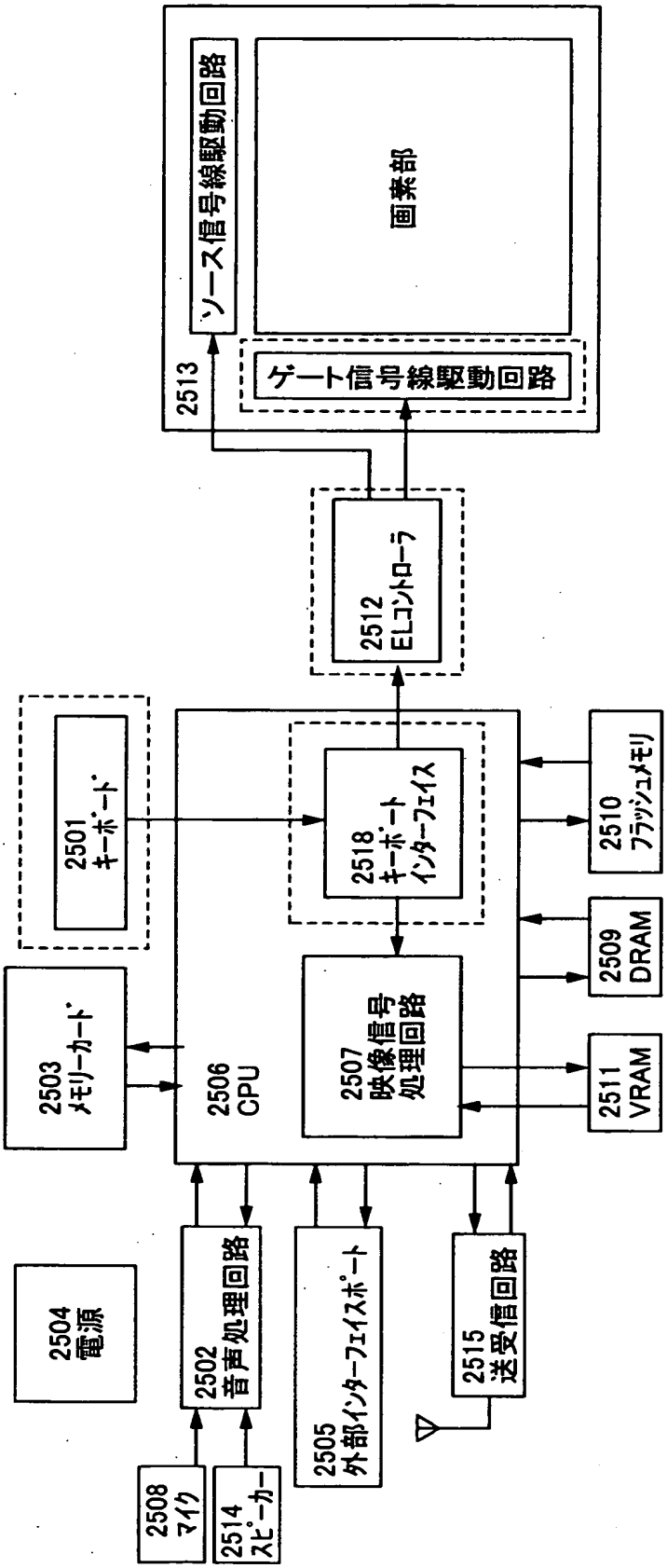
【書類名】　　図面

【図１】



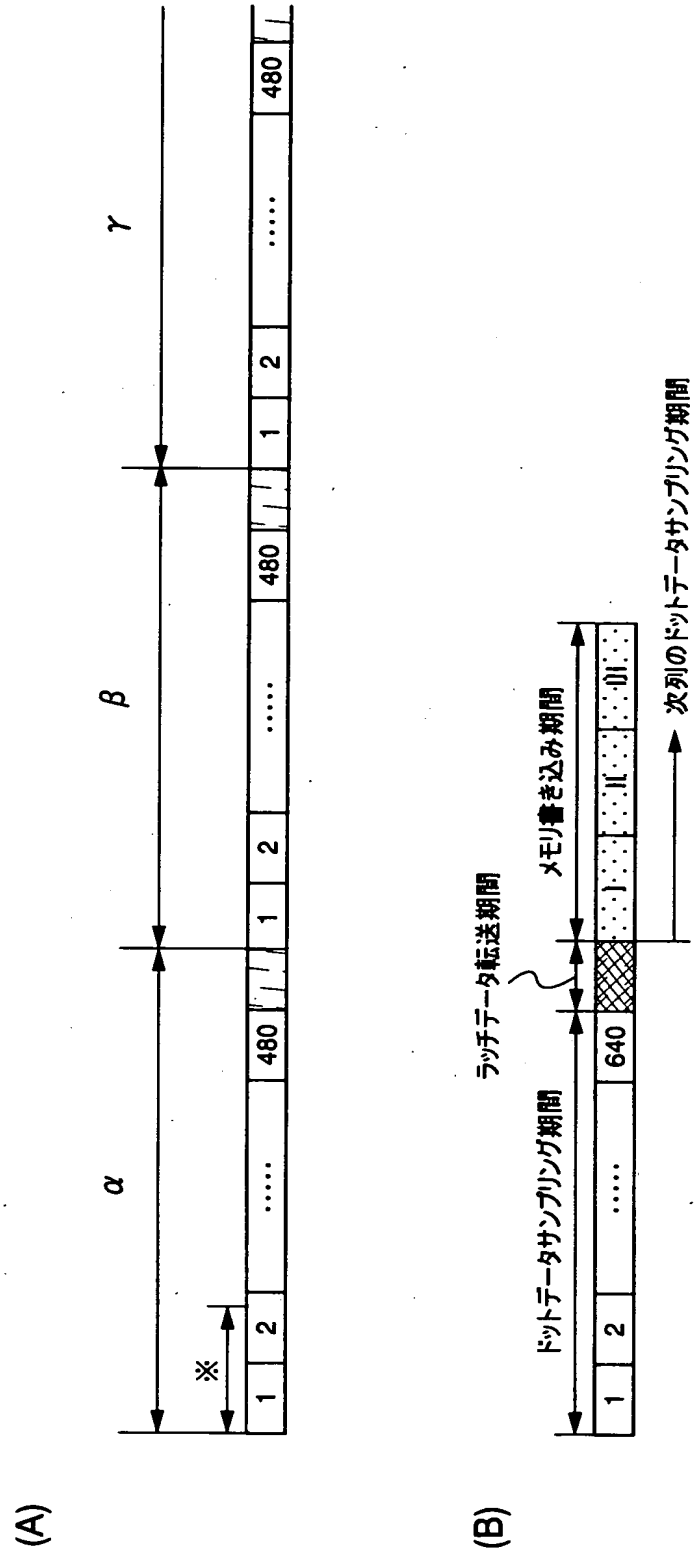
携帯情報端末のブロック図

【図２】

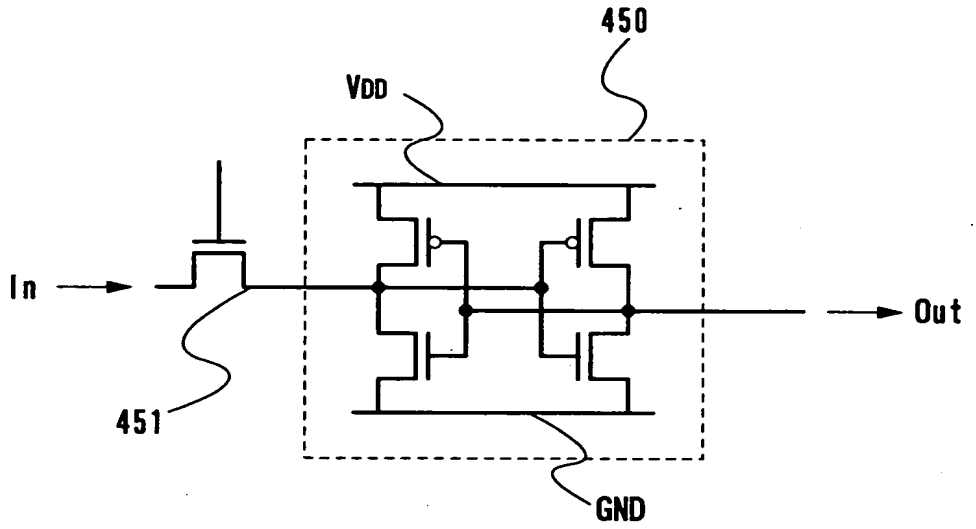

2513
ソース信号線駆動回路
画素部
ゲート信号線駆動回路
2512
ELコントローラ
2501
キーボード
2518
キーボード
インターフェイス
2510
フラッシュメモリ
2509
DRAM
2511
VRAM
2503
メモリーカード
2506
CPU
2507
映像信号
処理回路
2504
電源
2502
音声処理回路
2505
外部インターフェイスポート
2515
送受信回路
2508
マイク
2514
スピーカー

携帯電話ブロック図

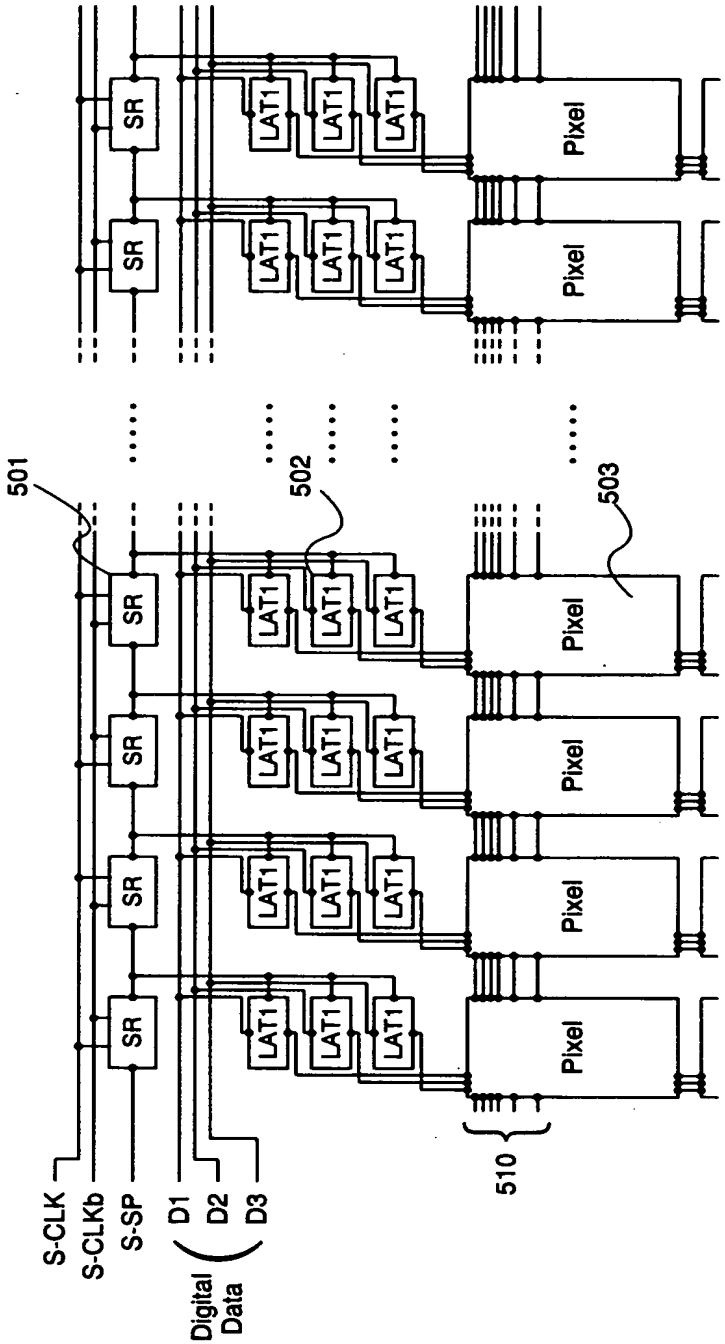
【図３】


(A)
α
β
γ
※
1
2
480
.....
(B)
ラッチデータ転送期間
メモリ書き込み期間
ドットデータサンプリング期間
次列のドットデータサンプリング期間
640

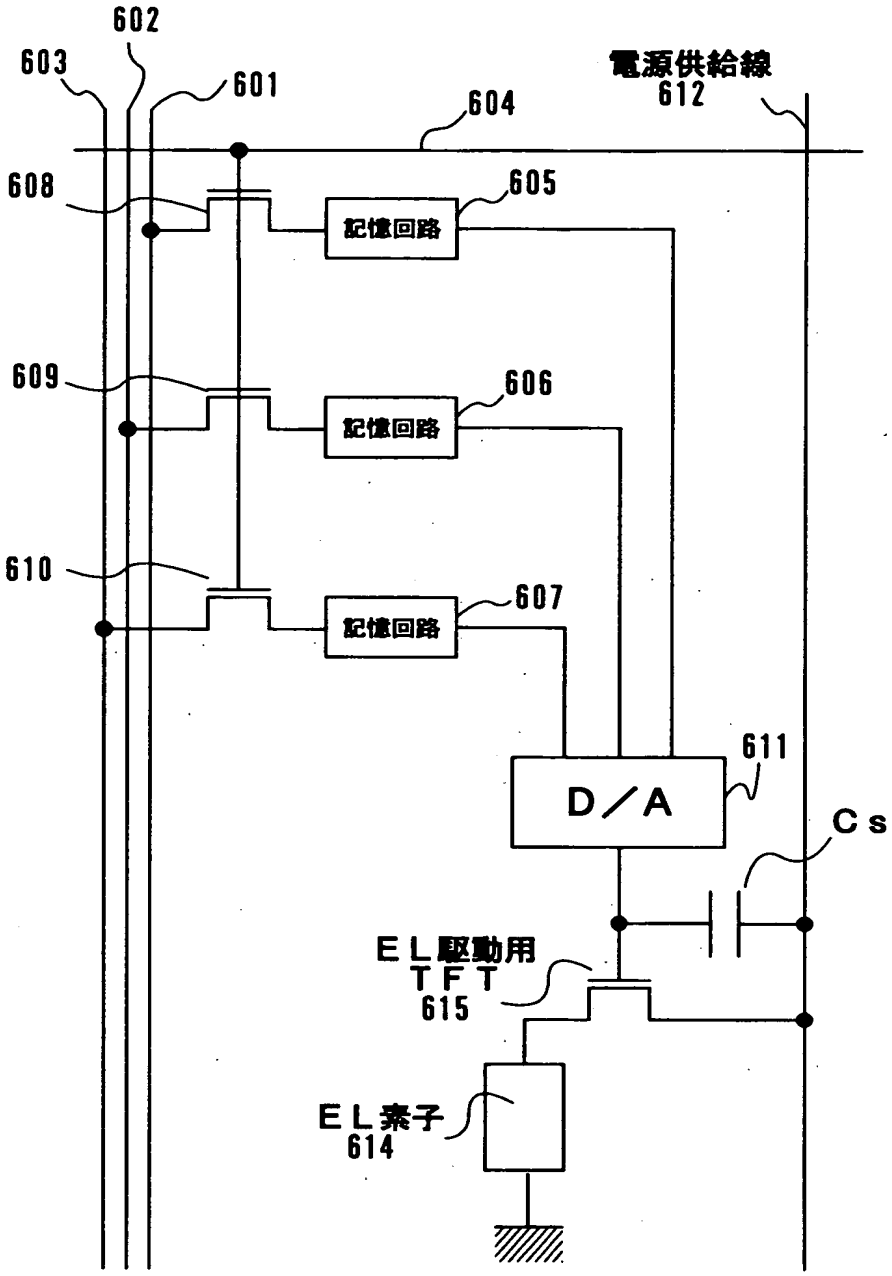
【図４】



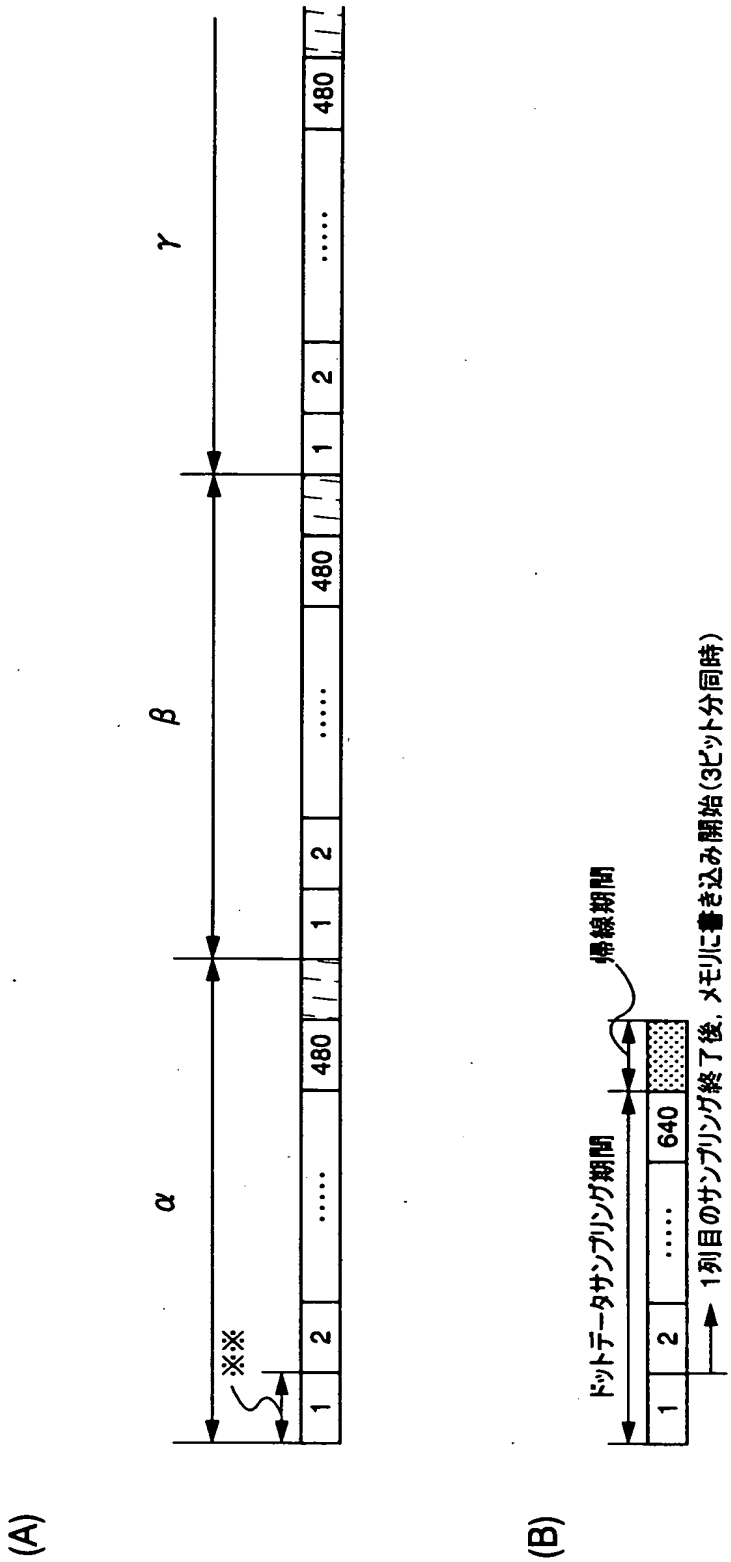
【図５】


501
502
503
SR
LAT1
Pixel
510
S-CLK
S-CLKb
S-SP
D1
D2
D3
Digital Data

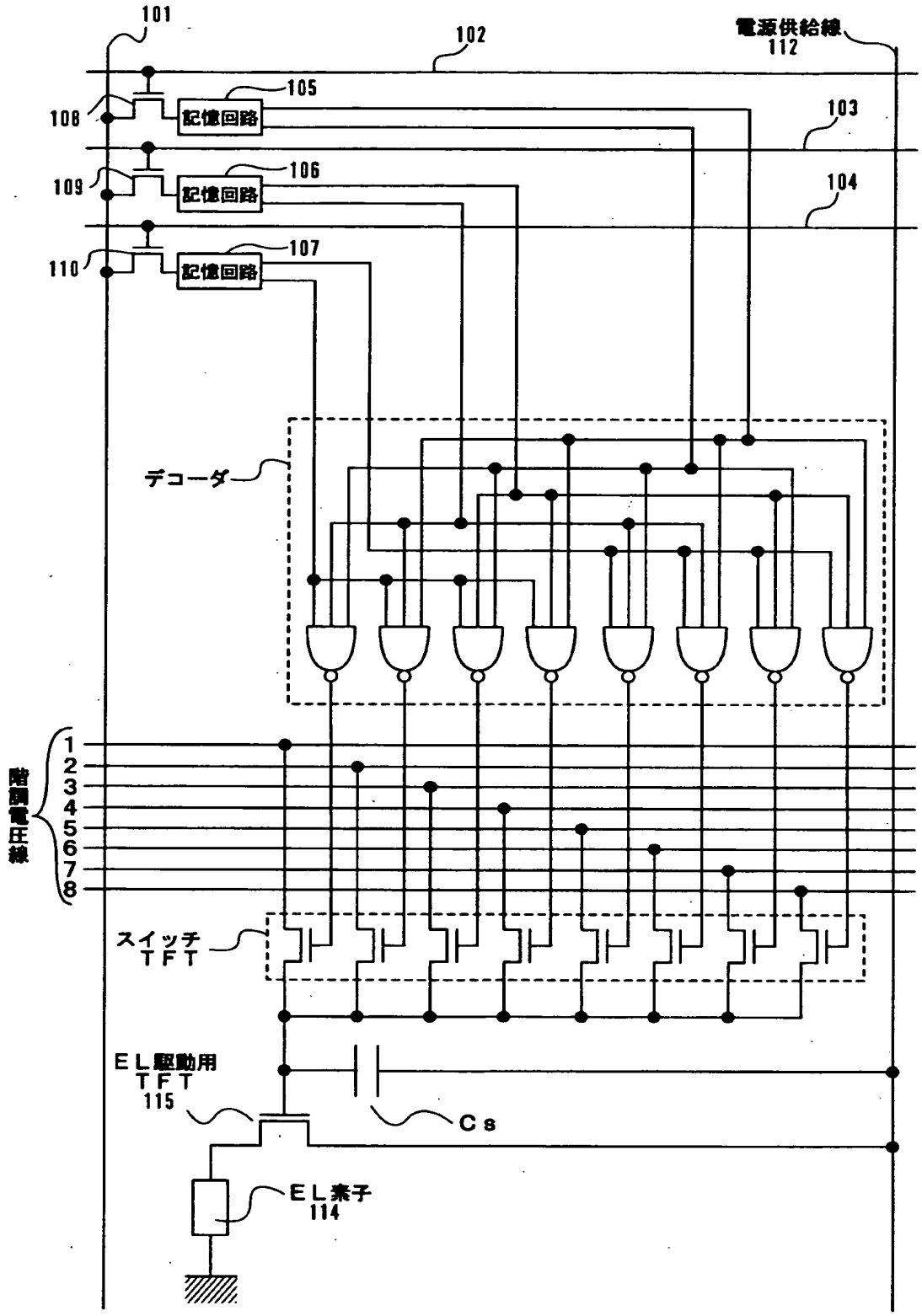
【図６】


602
603
601
604
電源供給線
612
608
605
記憶回路
609
606
記憶回路
610
607
記憶回路
611
D／A
Cs
EL駆動用
TFT
615
EL素子
614

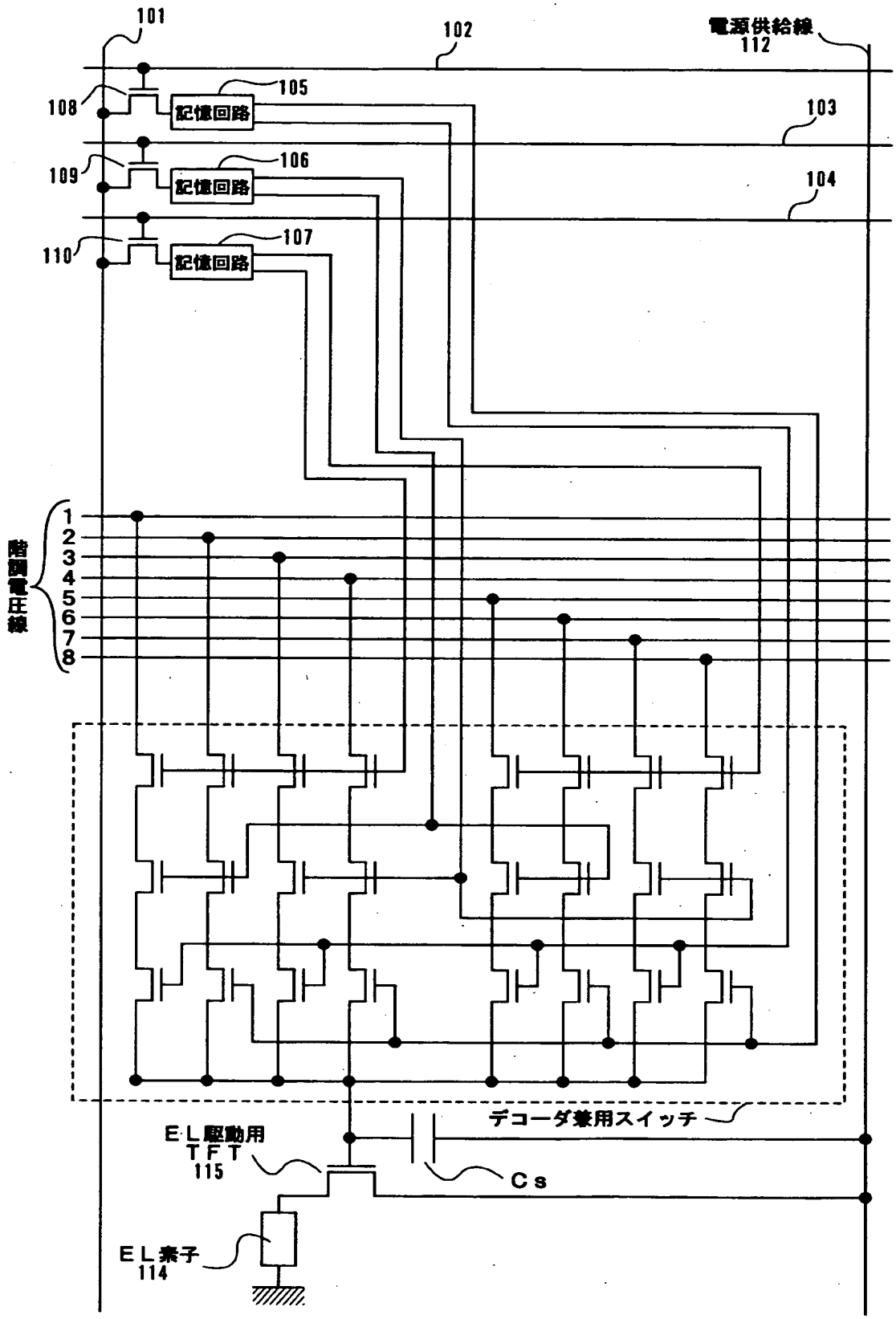
【図７】


(A)
α
β
γ
※※
1
2
480
(B)
ドットデータサンプリング期間
帰線期間
1
2
640
1列目のサンプリング終了後，メモリに書き込み開始（3ビット分同時）

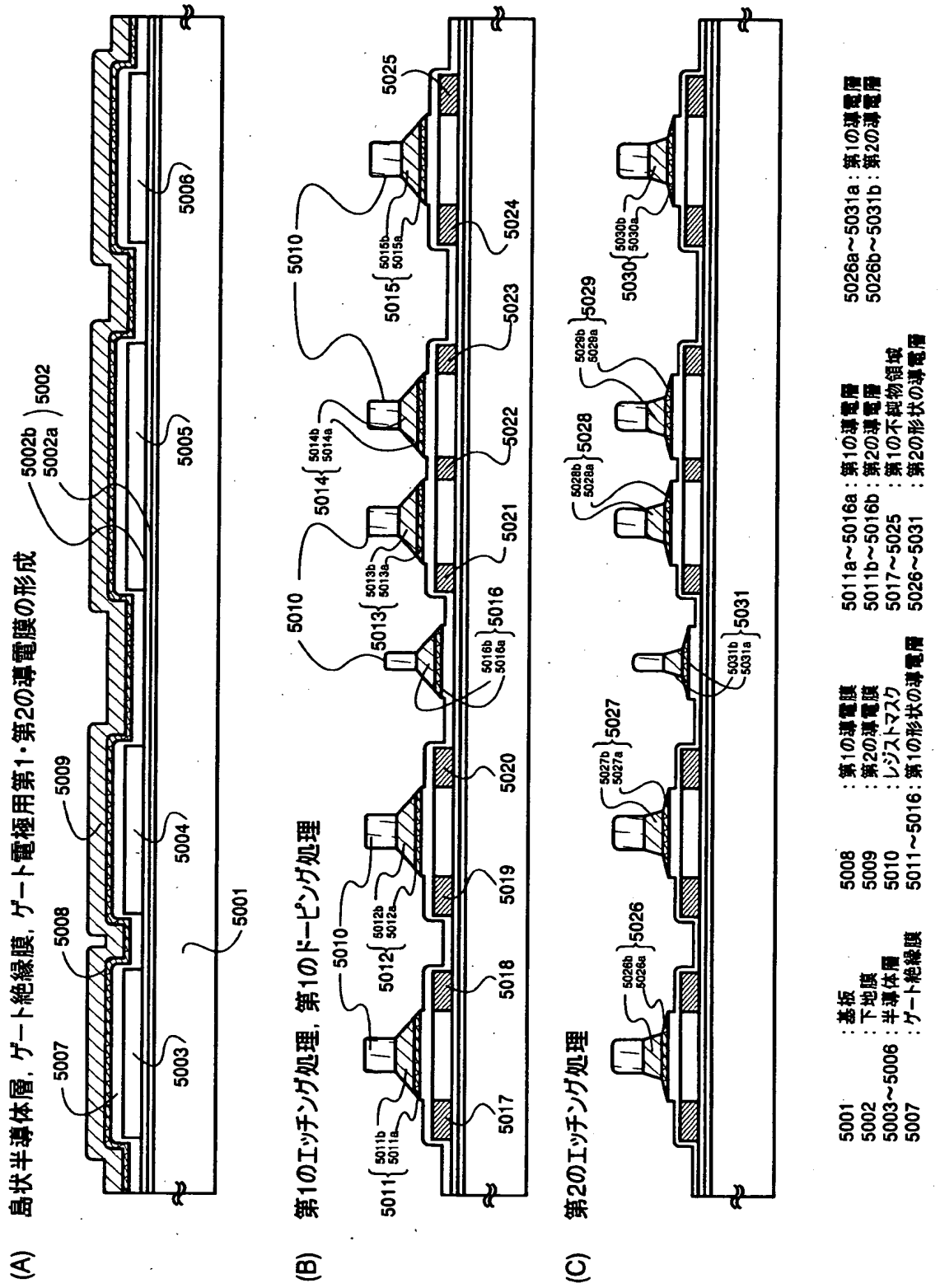
【図８】


101
102
電源供給線
112
105
108
記憶回路
103
106
109
記憶回路
104
107
110
記憶回路
デコーダ
階調電圧線
1
2
3
4
5
6
7
8
スイッチ
ＴＦＴ
ＥＬ駆動用
ＴＦＴ
115
Ｃｓ
ＥＬ素子
114

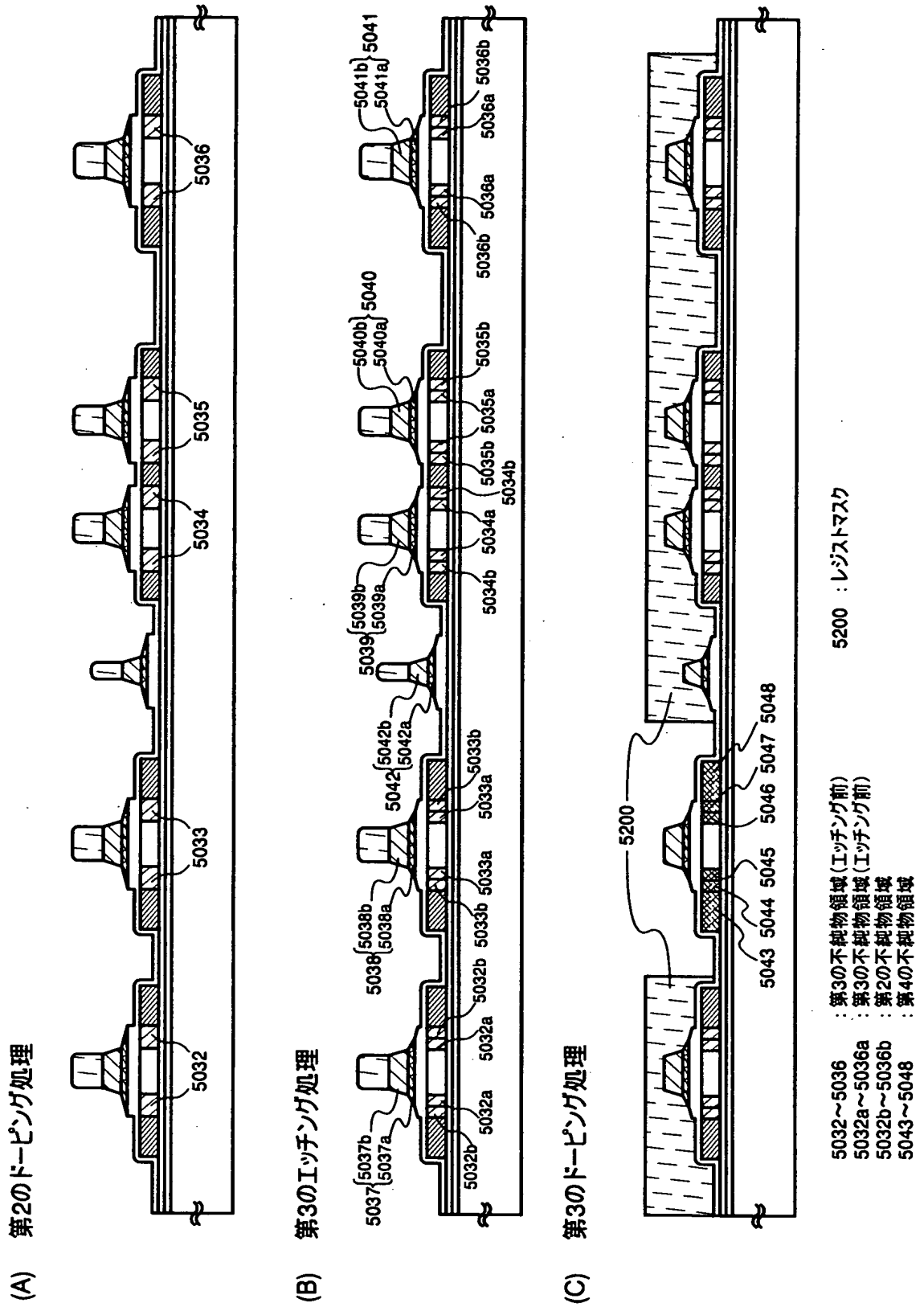
【図９】


101
102
電源供給線
112
105
108
記憶回路
103
106
109
記憶回路
104
107
110
記憶回路
階調電圧線
1
2
3
4
5
6
7
8
デコーダ兼用スイッチ
EL駆動用
TFT
115
Cs
EL素子
114

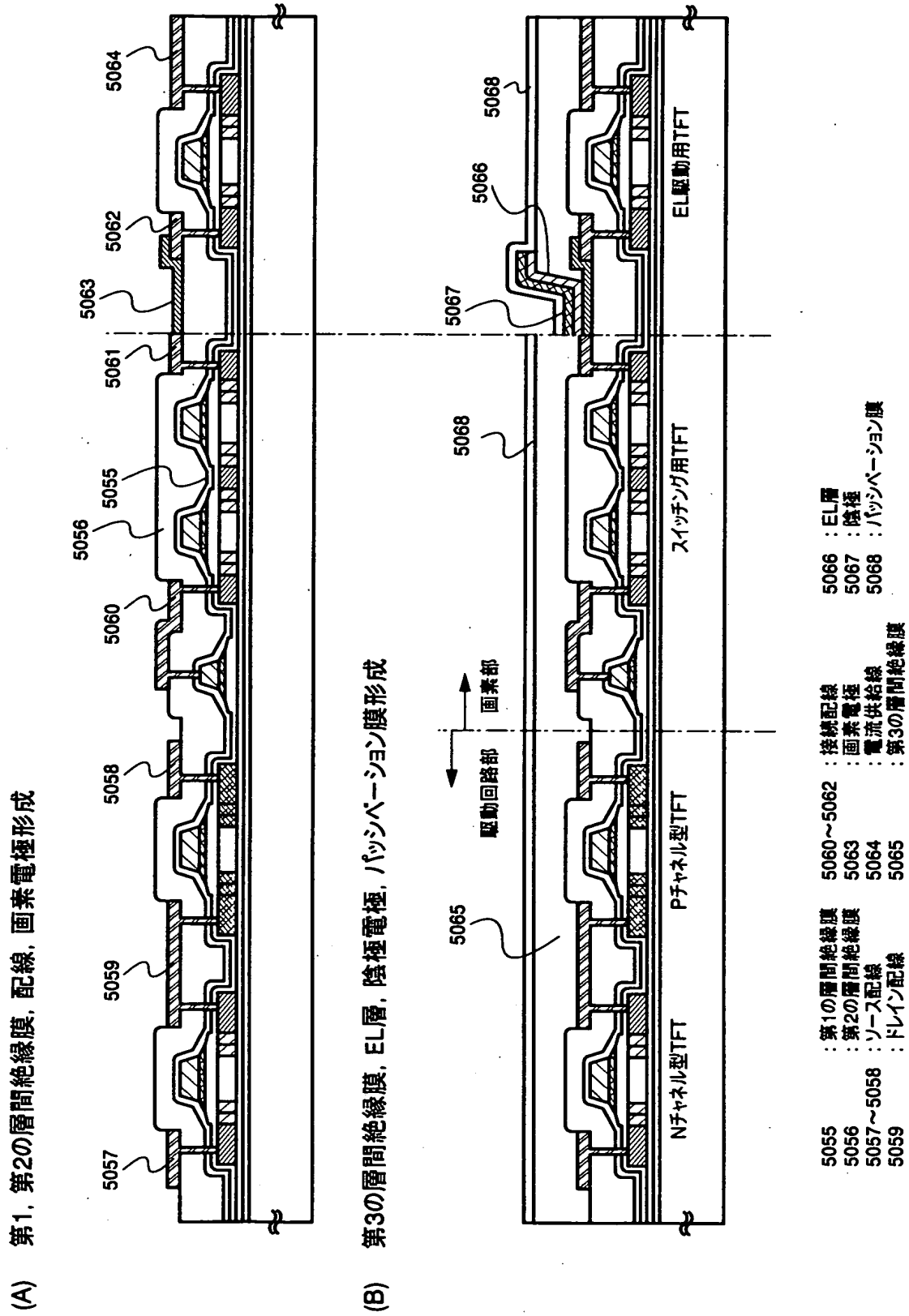
【図１０】


(A) 島状半導体層，ゲート絶縁膜，ゲート電極用第1・第2の導電膜の形成
(B) 第1のエッチング処理，第1のドーピング処理
(C) 第2のエッチング処理
5001 : 基板
5002 : 下地膜
5003～5006 : 半導体層
5007 : ゲート絶縁膜
5008 : 第1の導電膜
5009 : 第2の導電膜
5010 : レジストマスク
5011～5016 : 第1の形状の導電層
5011a～5016a : 第1の導電層
5011b～5016b : 第2の導電層
5017～5025 : 第1の不純物領域
5026～5031 : 第2の形状の導電層
5026a～5031a : 第1の導電層
5026b～5031b : 第2の導電層

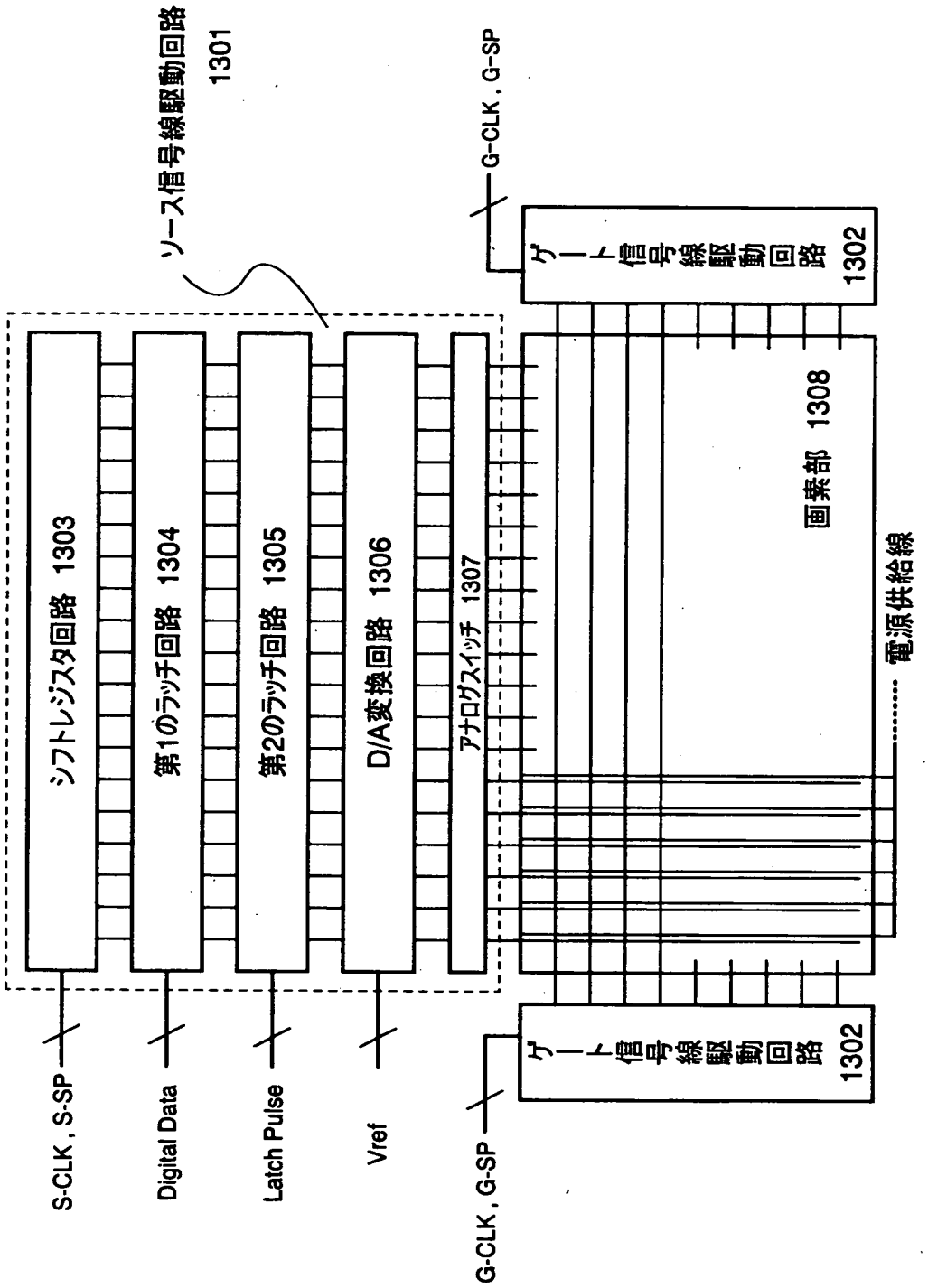
【図１１】


(A) 第2のドーピング処理
5032
5033
5034
5035
5036
(B) 第3のエッチング処理
5037 5037b 5037a
5038 5038b 5038a
5039 5039b 5039a
5040 5040b 5040a
5041 5041b 5041a
5042 5042b 5042a
5032a
5032b
5033a
5033b
5034b
5035a
5035b
5036a
5036b
(C) 第3のドーピング処理
5200
5043 5044 5045 5046 5047 5048
5200 ：レジストマスク
5032～5036 ：第3の不純物領域（エッチング前）
5032a～5036a ：第3の不純物領域（エッチング前）
5032b～5036b ：第2の不純物領域
5043～5048 ：第4の不純物領域

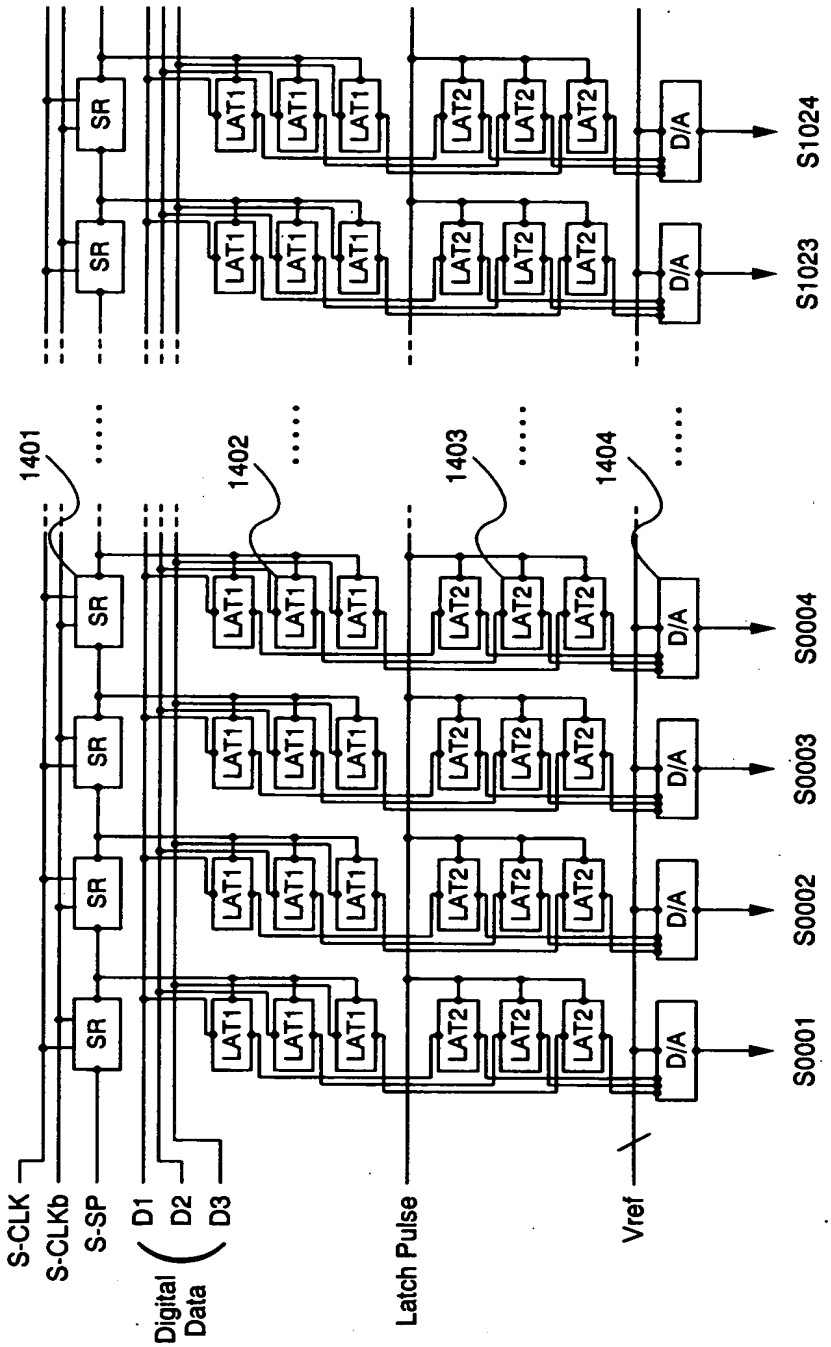
【図１２】


(A) 第1，第2の層間絶縁膜，配線，画素電極形成
(B) 第3の層間絶縁膜，EL層，陰極電極，パッシベーション膜形成
5055 ：第1の層間絶縁膜
5056 ：第2の層間絶縁膜
5057～5058 ：ソース配線
5059 ：ドレイン配線
5060～5062 ：接続配線
5063 ：画素電極
5064 ：電流供給線
5065 ：第3の層間絶縁膜
5066 ：EL層
5067 ：陰極
5068 ：パッシベーション膜
Nチャネル型TFT
Pチャネル型TFT
スイッチング用TFT
EL駆動用TFT
駆動回路部
画素部

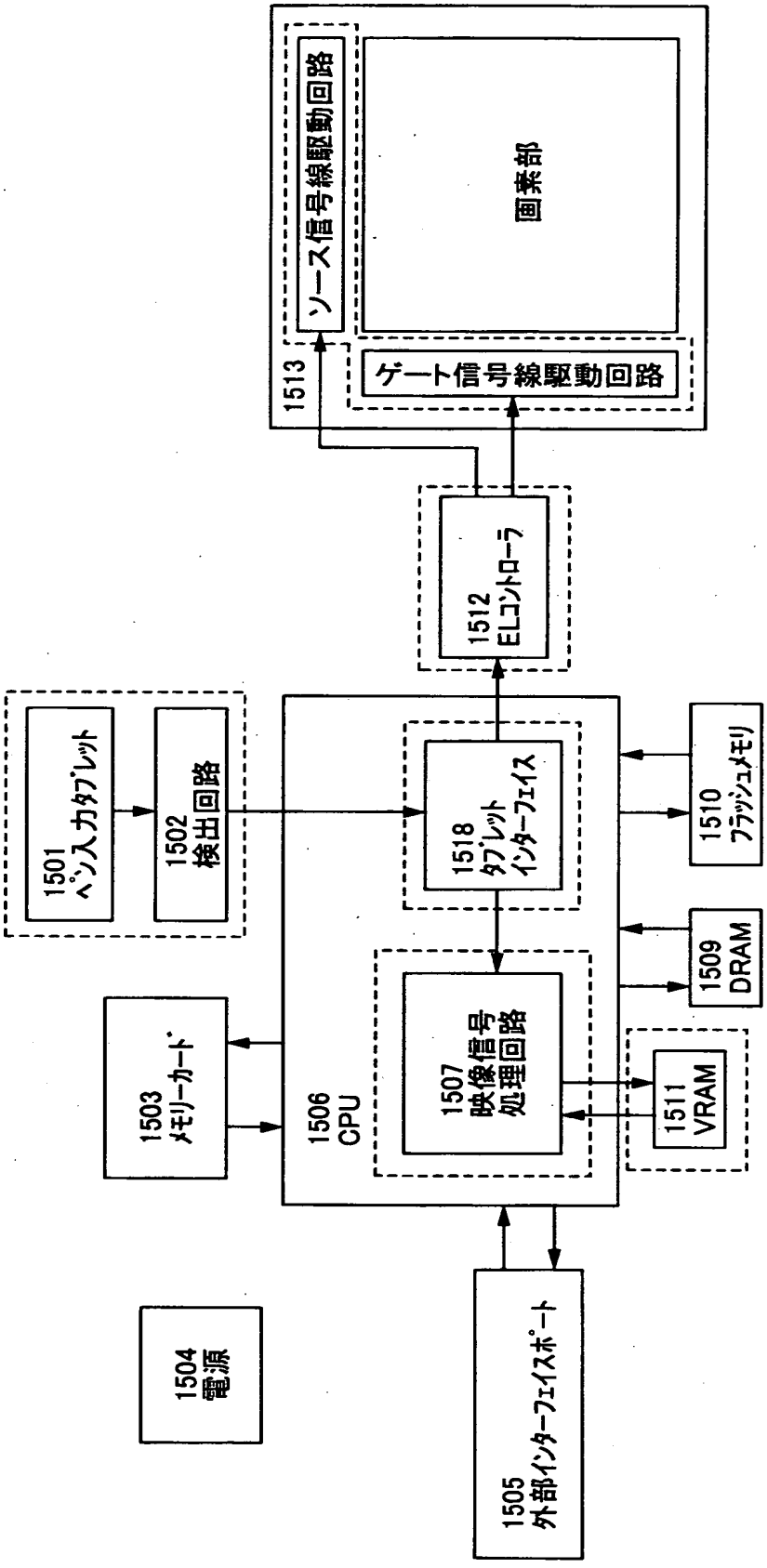
【図１３】


ソース信号線駆動回路
1301
シフトレジスタ回路 1303
第1のラッチ回路 1304
第2のラッチ回路 1305
D/A変換回路 1306
アナログスイッチ 1307
S-CLK, S-SP
Digital Data
Latch Pulse
Vref
G-CLK, G-SP
ゲート信号線駆動回路
1302
G-CLK, G-SP
ゲート信号線駆動回路
1302
画素部 1308
電源供給線

【図１４】

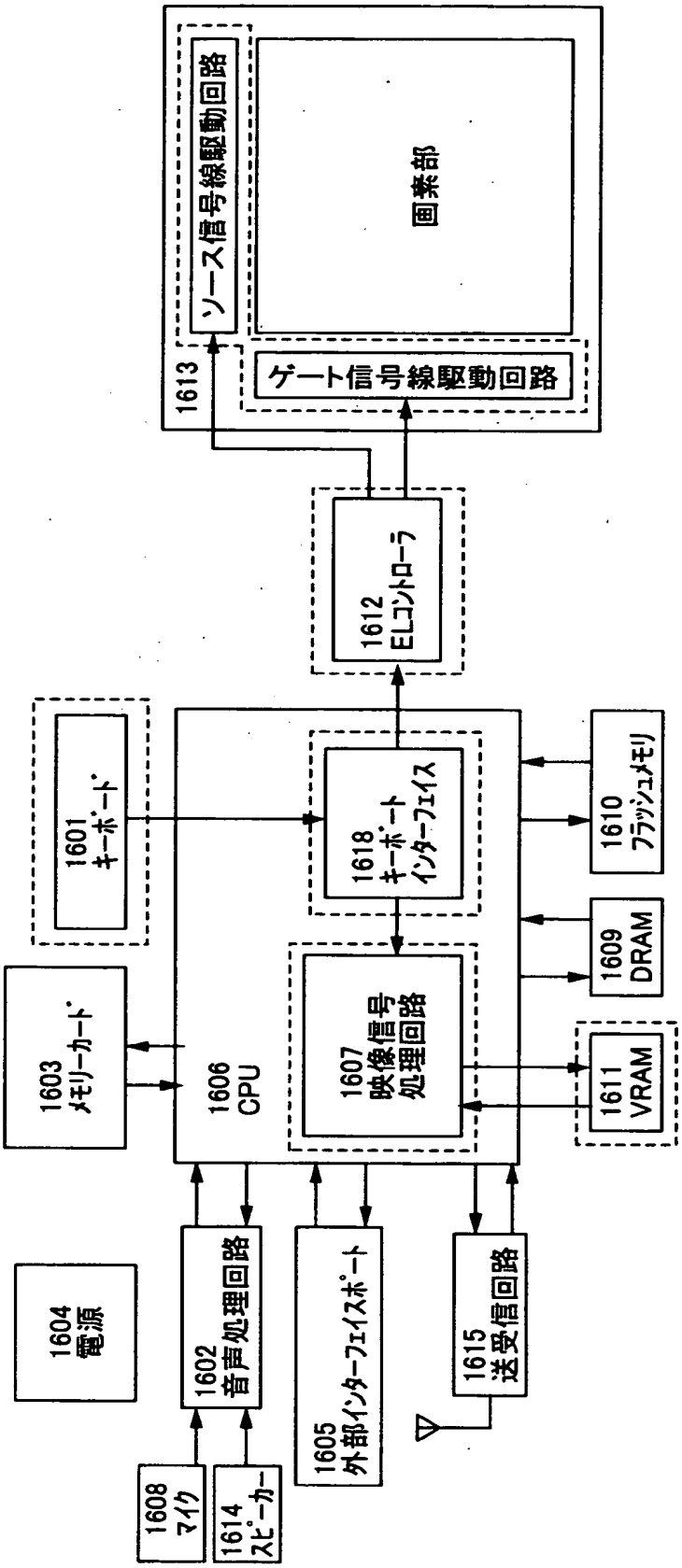

SR
LAT1
LAT2
D/A
S1024
S1023
S0004
S0003
S0002
S0001
1401
1402
1403
1404
S-CLK
S-CLKb
S-SP
D1
D2
D3
Digital Data
Latch Pulse
Vref

【図１５】



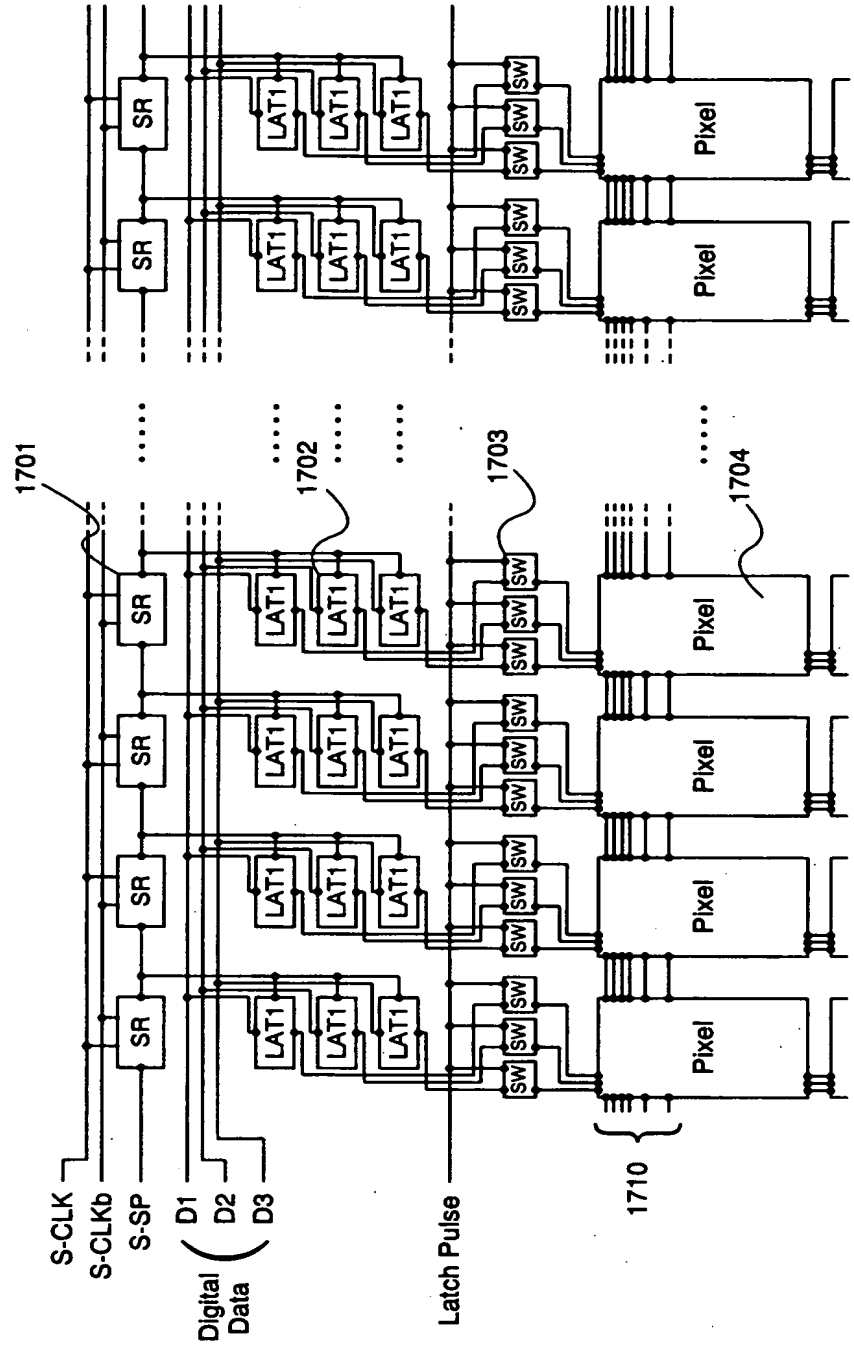
携帯情報端末のブロック図

【図１６】

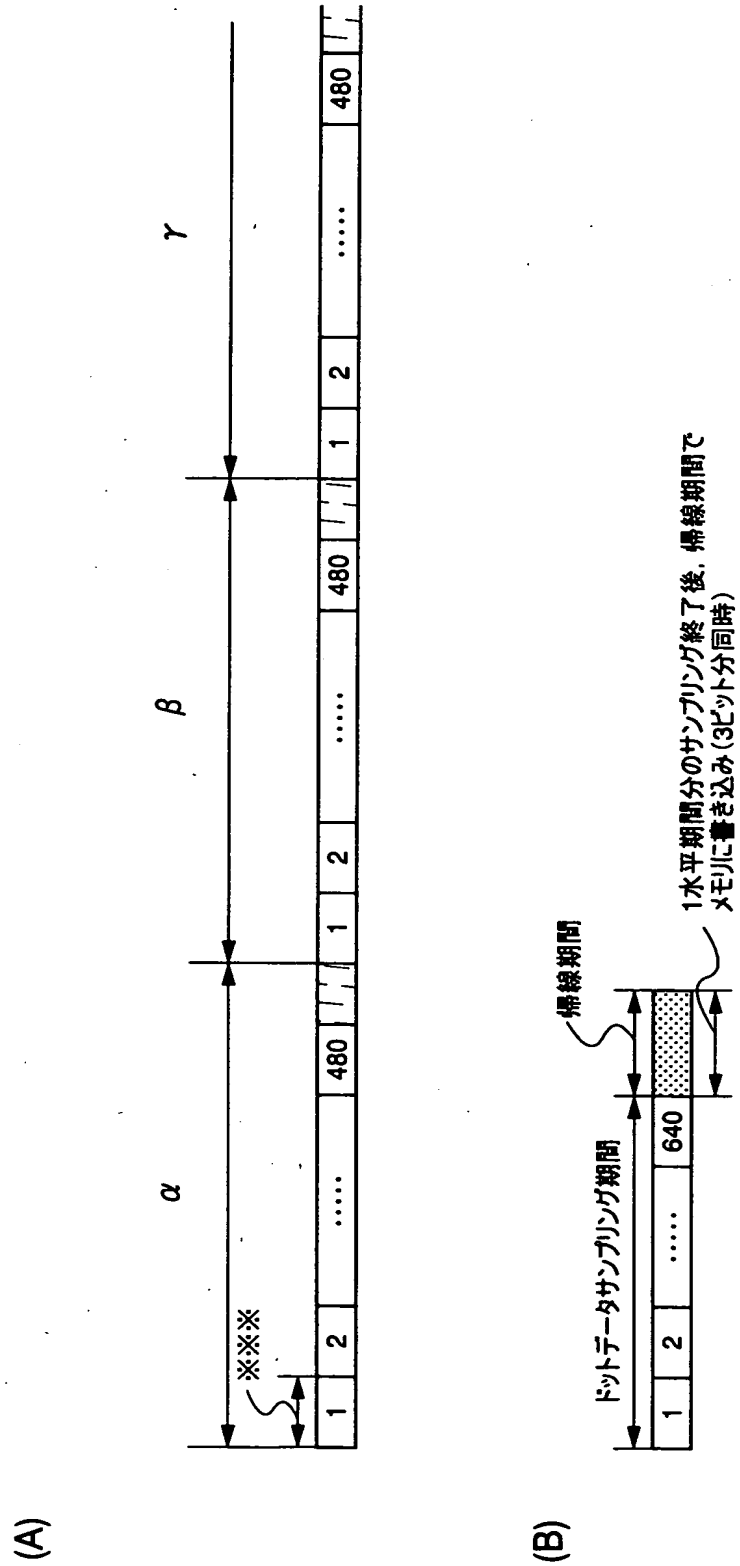

1613
ソース信号線駆動回路
画素部
ゲート信号線駆動回路
1612
ELコントローラ
1601
キーボード
1618
キーボード
インターフェイス
1610
フラッシュメモリ
1603
メモリーカード
1606
CPU
1607
映像信号
処理回路
1609
DRAM
1611
VRAM
1604
電源
1602
音声処理回路
1605
外部インターフェイスポート
1615
送受信回路
1608
マイク
1614
スピーカー

携帯電話ブロック図

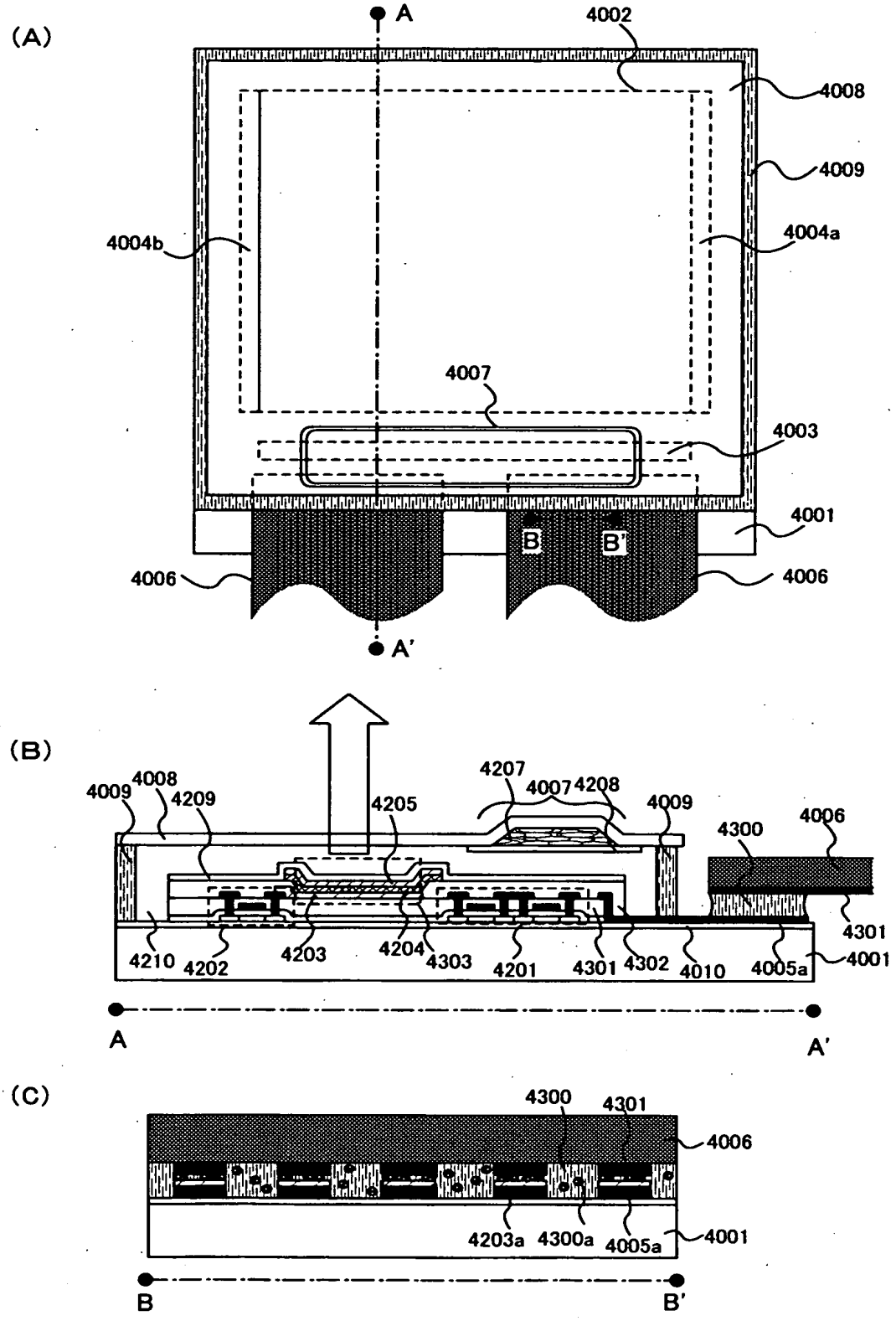
【図１７】


1701
1702
1703
1704
SR
LAT1
SW
Pixel
1710
S-CLK
S-CLKb
S-SP
D1
D2
D3
Digital Data
Latch Pulse

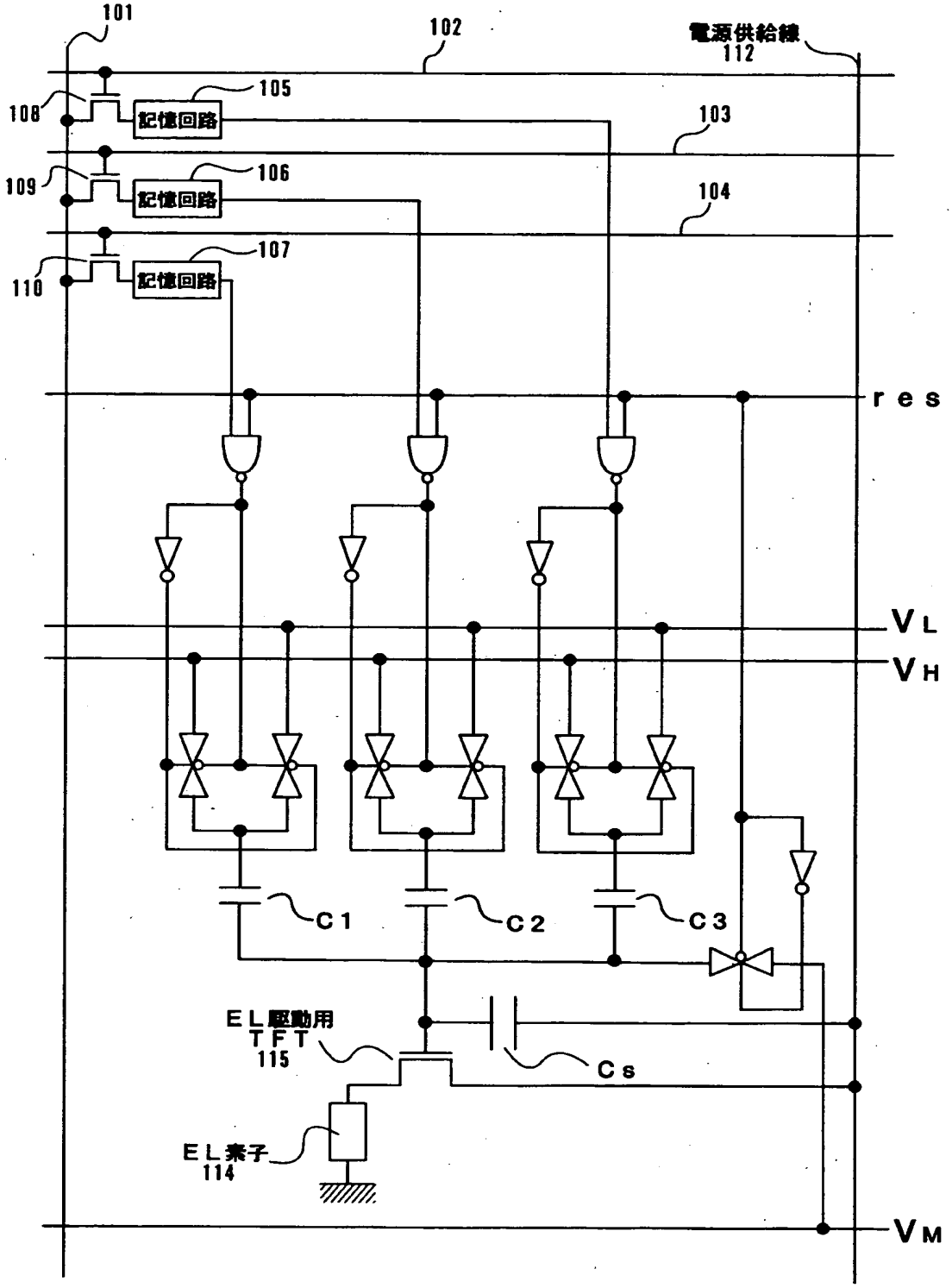
【図１８】


(A)
α
β
γ
※※※
1
2
480
(B)
ドットデータサンプリング期間
帰線期間
1水平期間分のサンプリング終了後，帰線期間で
メモリに書き込み（3ビット分同時）
640

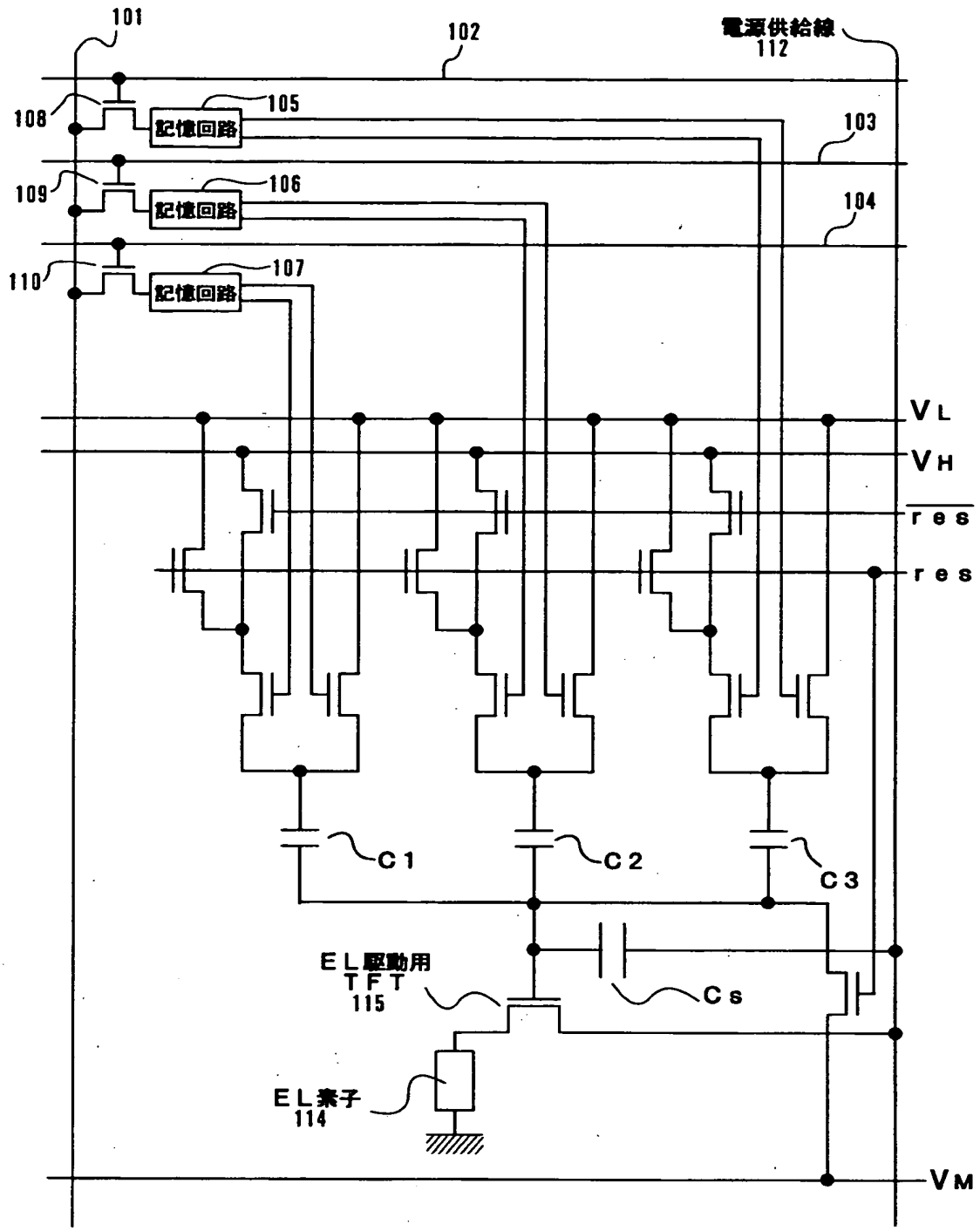
【図１９】


(A)
A
4002
4008
4009
4004b
4004a
4007
4003
4001
B
B'
4006
4006
A'
(B)
4009
4008
4209
4205
4207
4007
4208
4009
4300
4006
4301
4210
4202
4203
4204
4303
4201
4301
4302
4010
4005a
4001
A
A'
(C)
4300
4301
4006
4203a
4300a
4005a
4001
B
B'

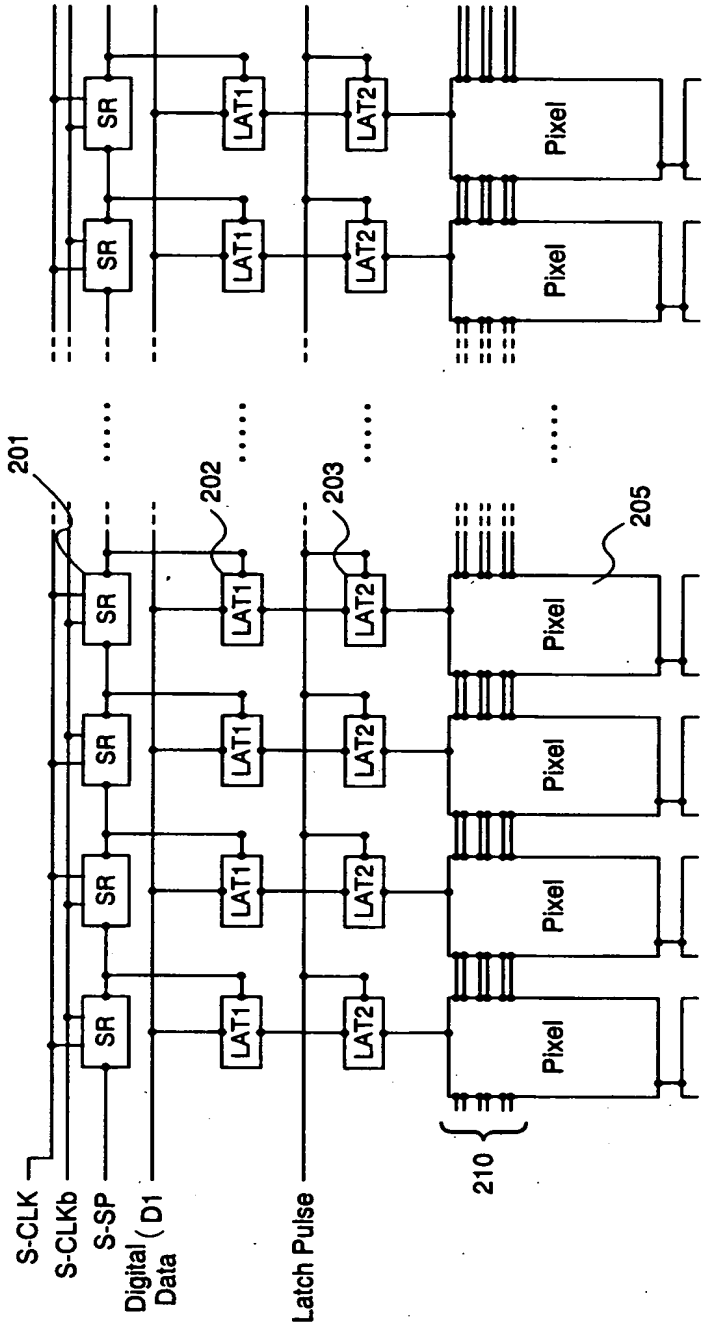
【図２０】


101
102
電源供給線
112
105
108
記憶回路
103
106
109
記憶回路
104
107
110
記憶回路
res
VL
VH
C1
C2
C3
EL駆動用
TFT
115
Cs
EL素子
114
VM

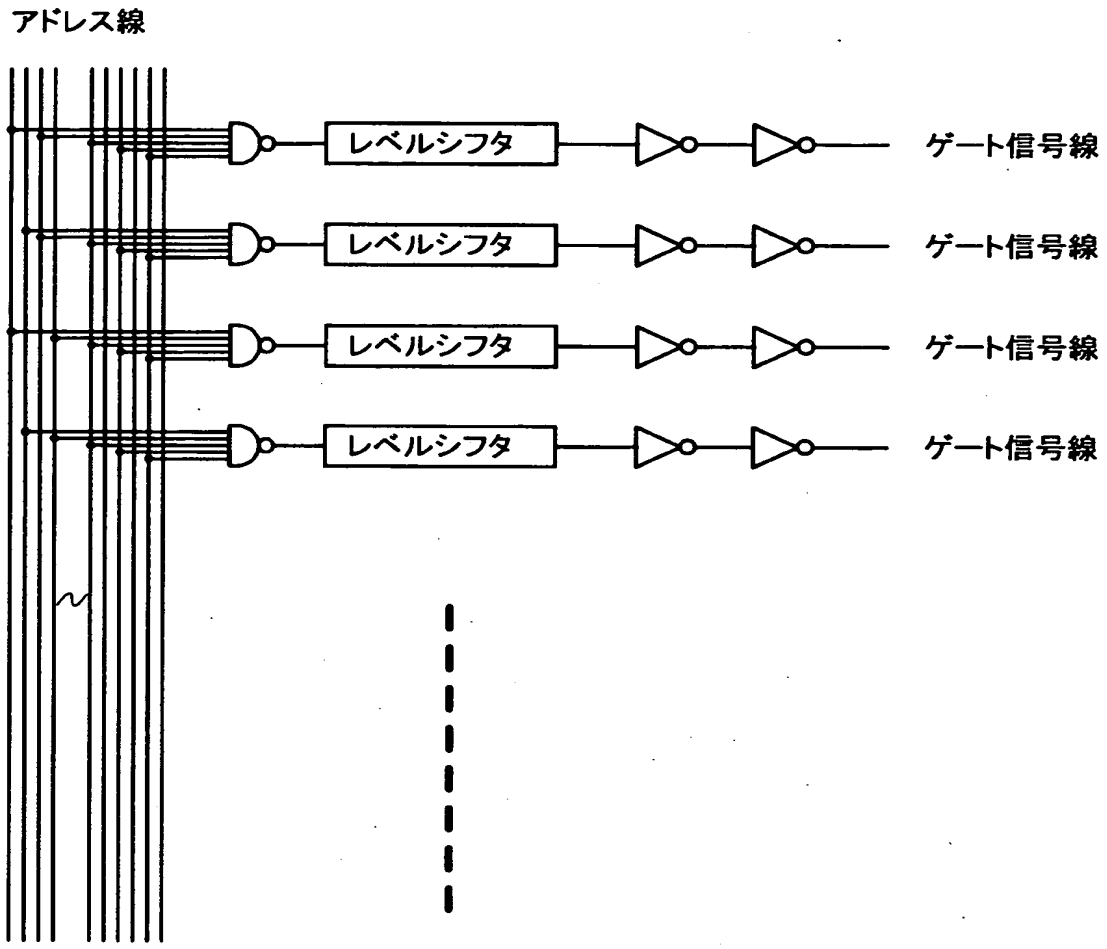
【図２１】


101
102
電源供給線
112
105
記憶回路
108
103
106
記憶回路
109
104
107
記憶回路
110
VL
VH
res
res
C1
C2
C3
EL駆動用
TFT
115
Cs
EL素子
114
VM

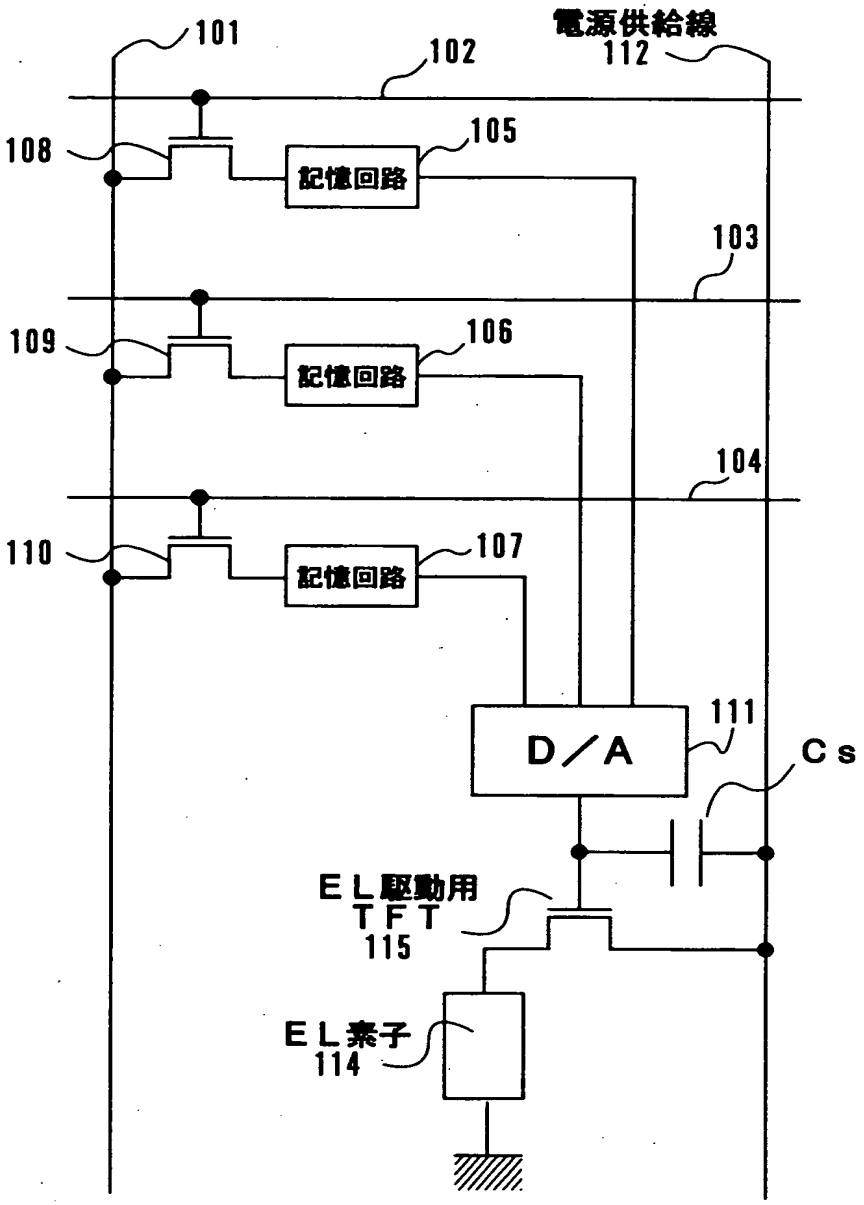
【図２２】


201
202
203
205
SR
LAT1
LAT2
Pixel
210
S-CLK
S-CLKb
S-SP
Digital Data (D1
Latch Pulse

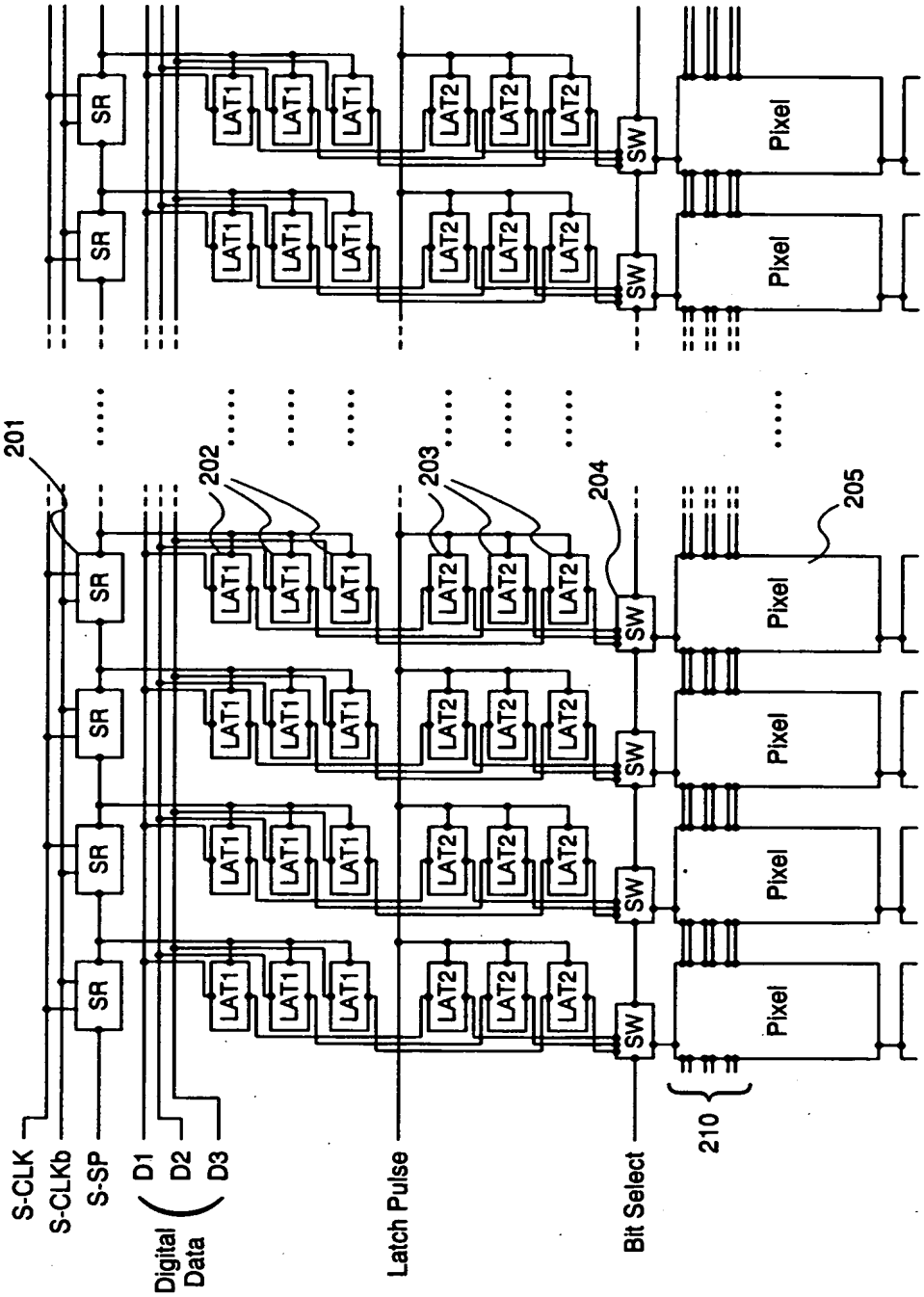
【図２３】


アドレス線
レベルシフタ
レベルシフタ
レベルシフタ
レベルシフタ
ゲート信号線
ゲート信号線
ゲート信号線
ゲート信号線

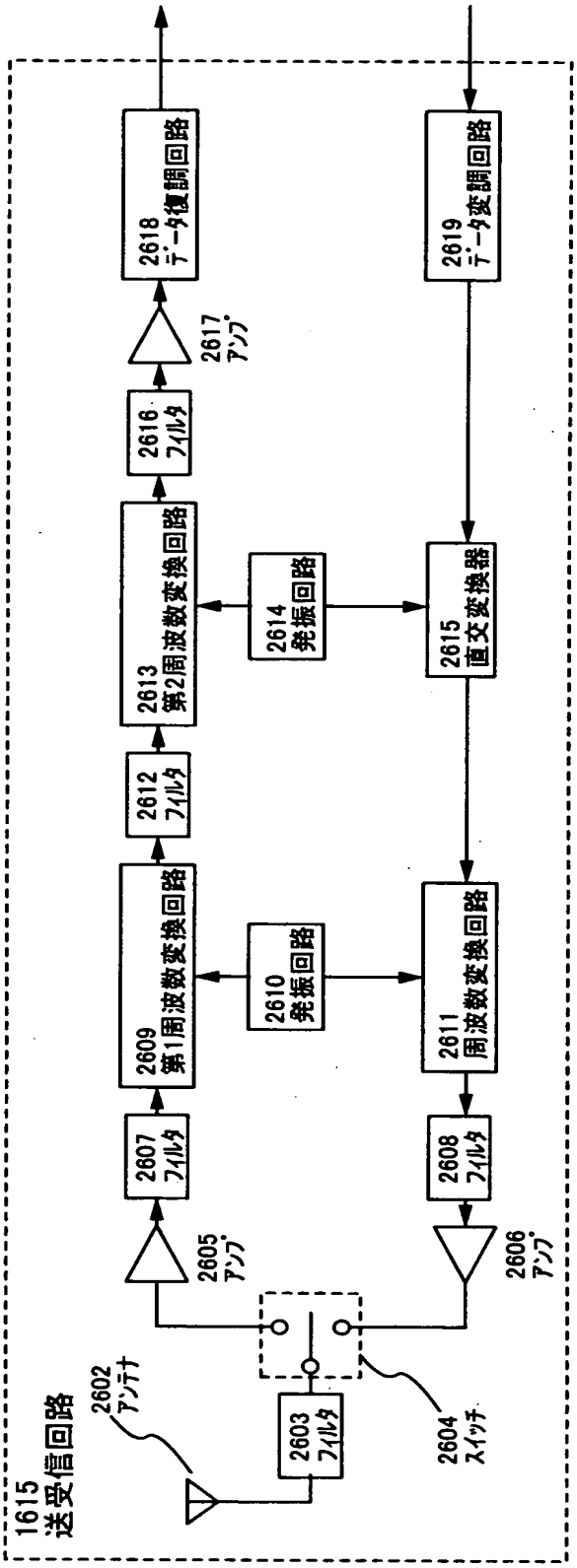
【図２４】


101
102
電源供給線
112
108
105
記憶回路
103
109
106
記憶回路
104
110
107
記憶回路
D／A
111
Cs
EL駆動用
TFT
115
EL素子
114

【図２５】

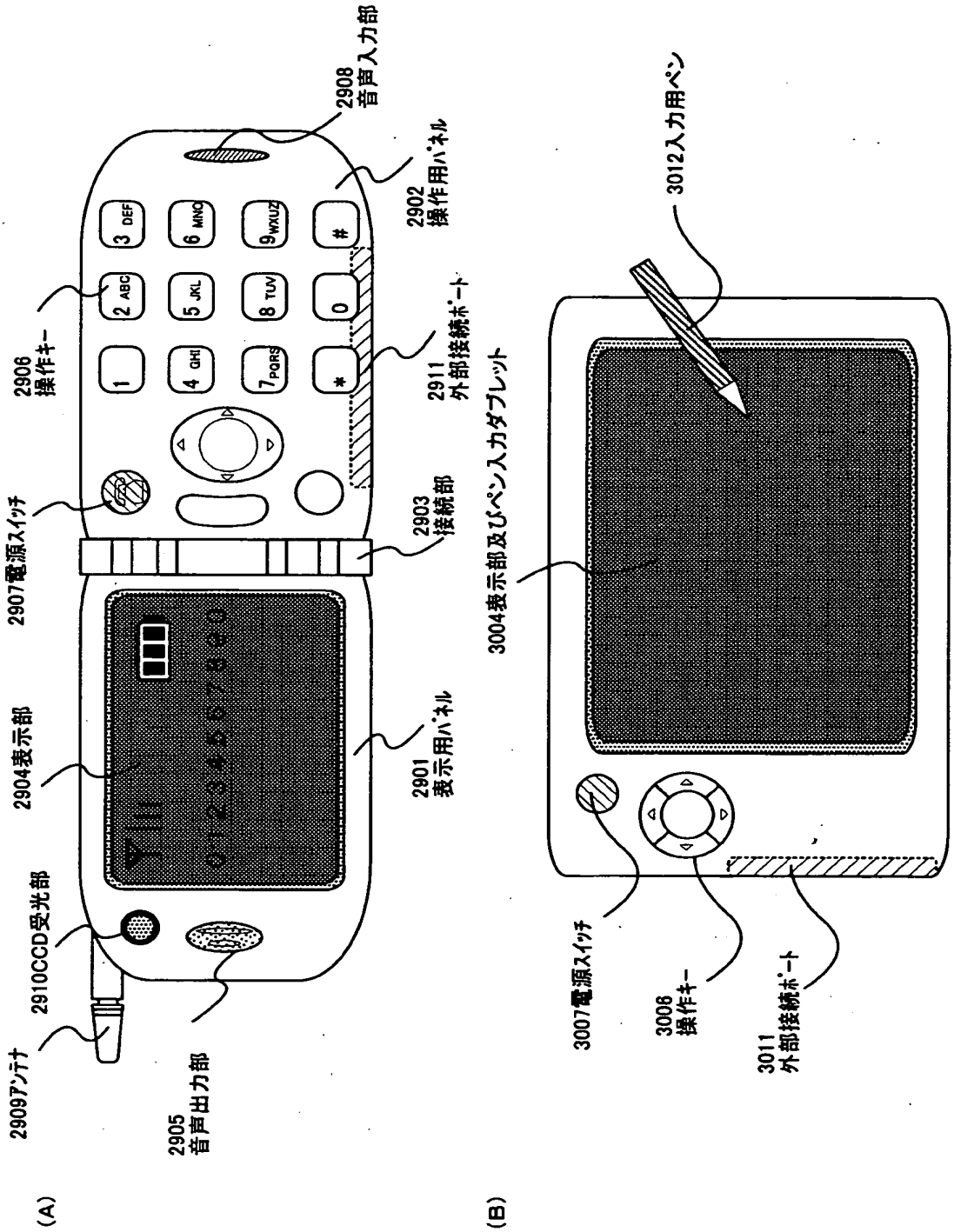

201
202
203
204
205
SR
LAT1
LAT2
SW
Pixel
210
S-CLK
S-CLKb
S-SP
D1
D2
D3
Digital Data
Latch Pulse
Bit Select

【図２６】

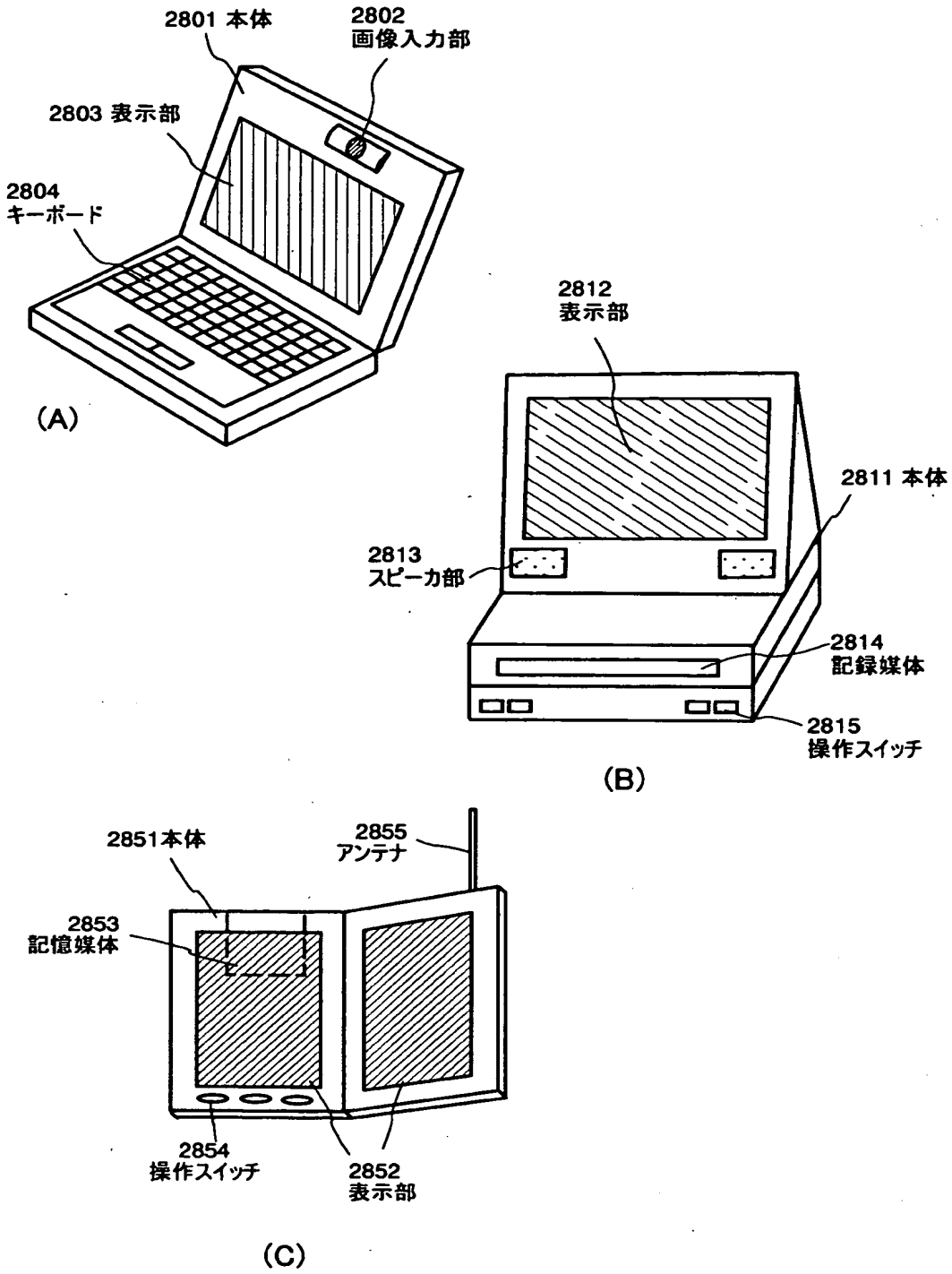


送受信回路ブロック図

【図２７】

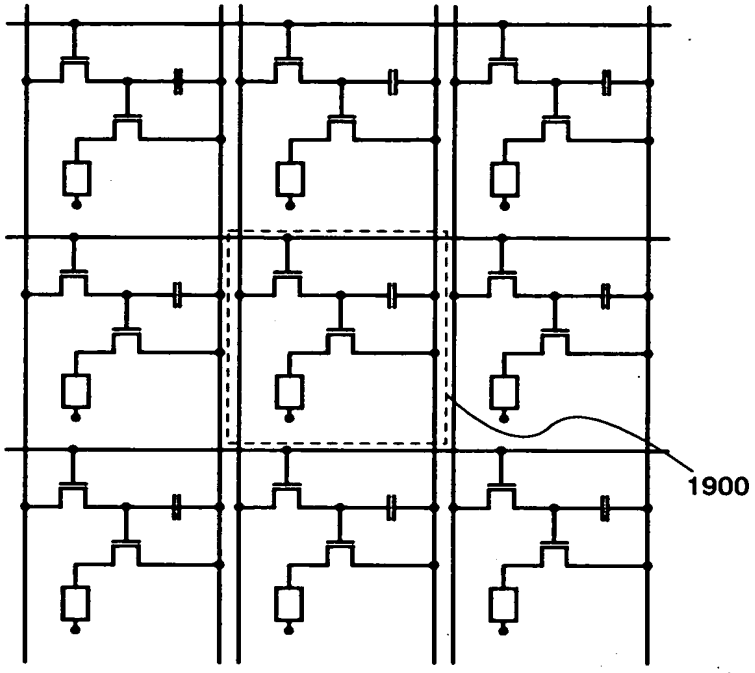

2908
音声入力部
2902
操作用パネル
2906
操作キー
2911
外部接続ポート
2907電源スイッチ
2903
接続部
2904表示部
2901
表示用パネル
2910CCD受光部
2909アンテナ
2905
音声出力部
(A)
3004表示部及びペン入力タブレット
3012入力用ペン
3007電源スイッチ
3006
操作キー
3011
外部接続ポート
(B)

【図２８】

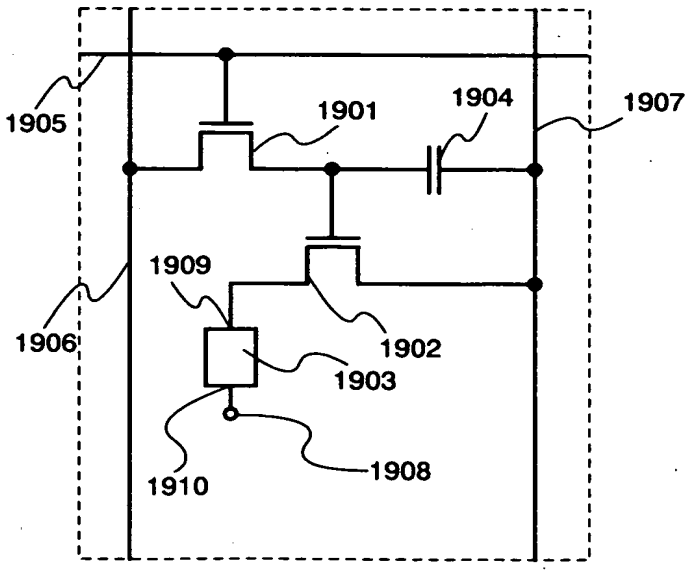

2801 本体
2802
画像入力部
2803 表示部
2804
キーボード
(A)
2812
表示部
2811 本体
2813
スピーカ部
2814
記録媒体
2815
操作スイッチ
(B)
2851本体
2855
アンテナ
2853
記憶媒体
2854
操作スイッチ
2852
表示部
(C)

【図２９】

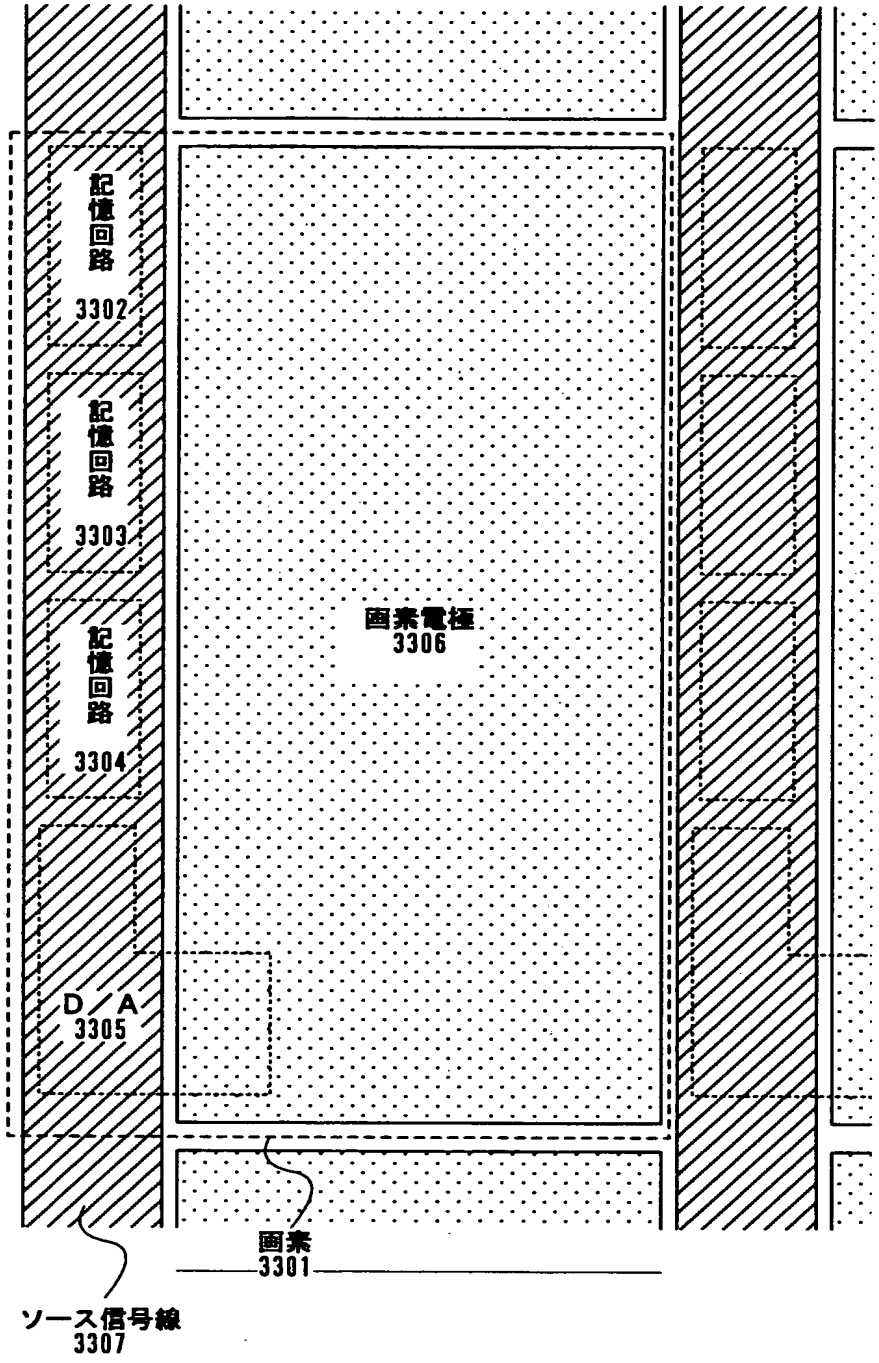
(A)



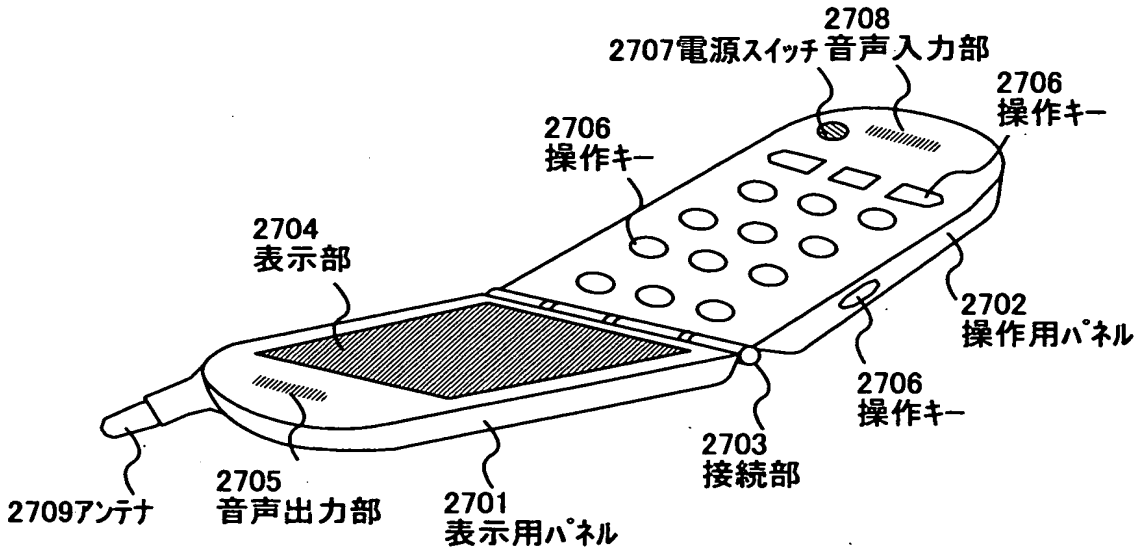
(B)



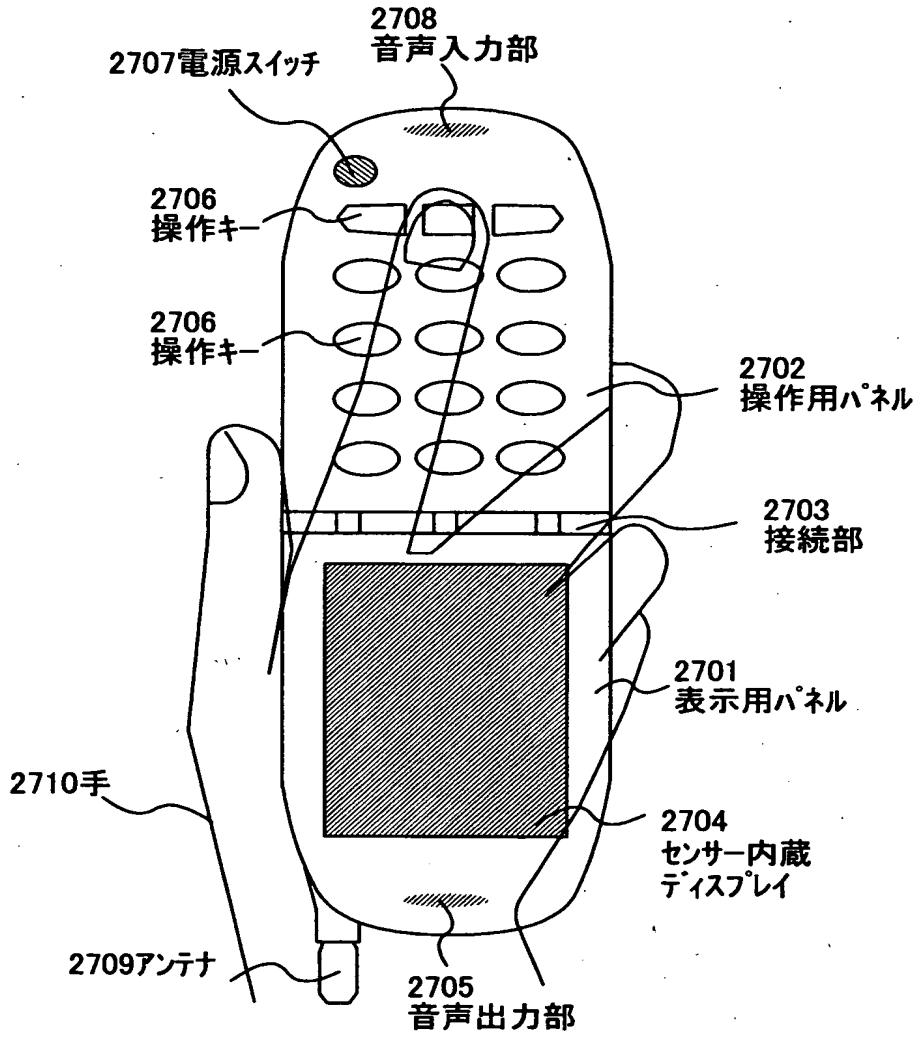
【図３０】


記憶回路
3302
記憶回路
3303
記憶回路
3304
画素電極
3306
D／A
3305
画素
3301
ソース信号線
3307

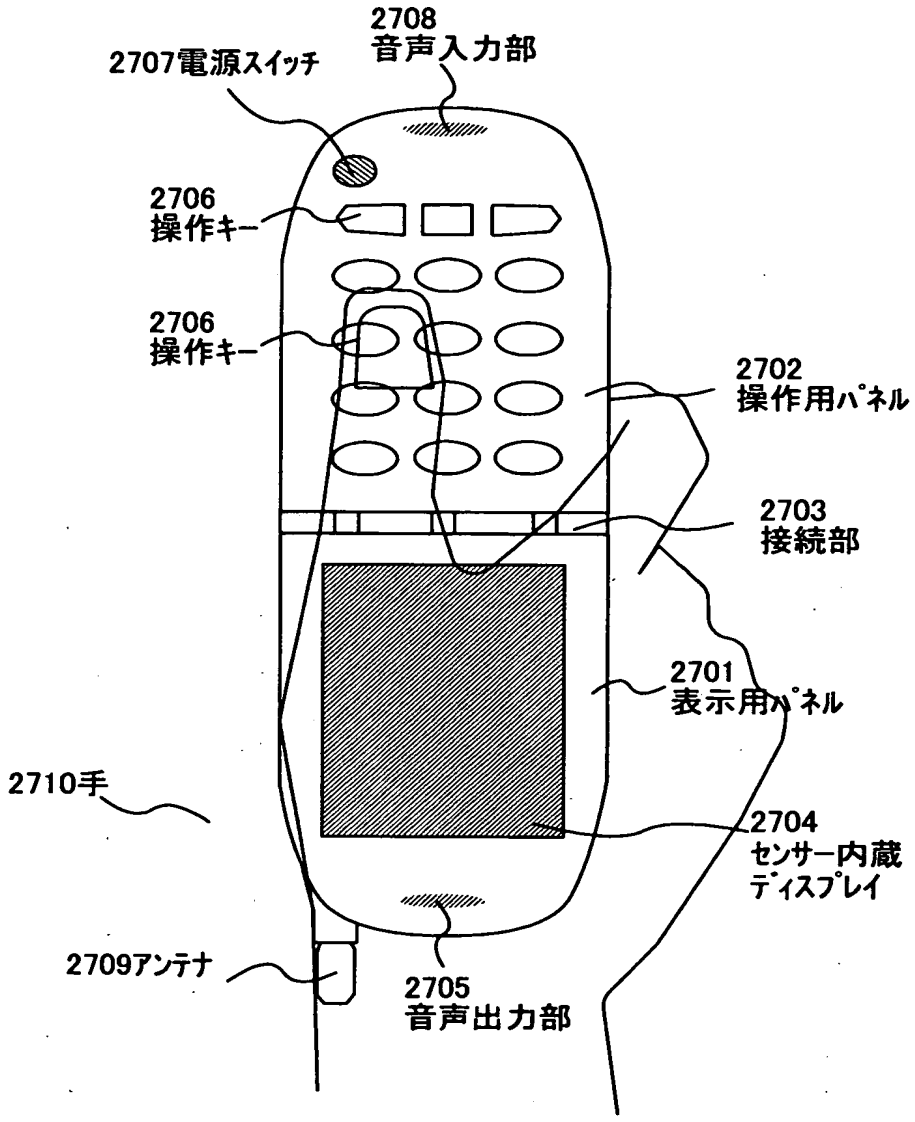
【図３１】


2708
2707電源スイッチ
音声入力部
2706
操作キー
2706
操作キー
2704
表示部
2702
操作用パネル
2706
操作キー
2703
接続部
2709アンテナ
2705
音声出力部
2701
表示用パネル

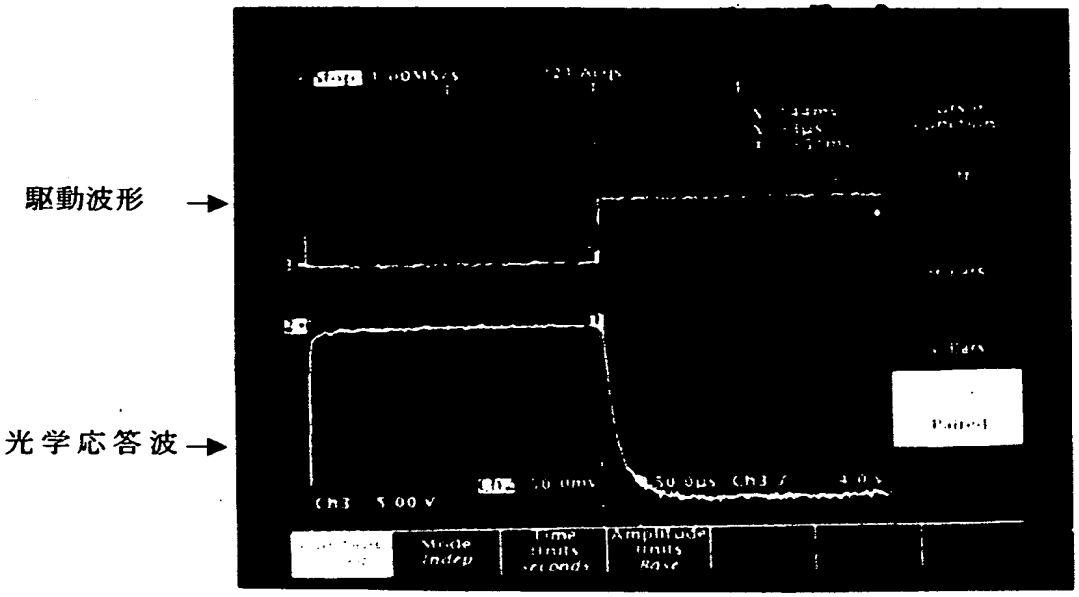
【図３２】


2708
音声入力部
2707電源スイッチ
2706
操作キー
2706
操作キー
2702
操作用パネル
2703
接続部
2701
表示用パネル
2710手
2704
センサー内蔵
ディスプレイ
2709アンテナ
2705
音声出力部

【図３３】


2708
音声入力部
2707電源スイッチ
2706
操作キー
2706
操作キー
2702
操作用パネル
2703
接続部
2701
表示用パネル
2710手
2704
センサー内蔵
ディスプレイ
2709アンテナ
2705
音声出力部

【図３４】


駆動波形
光学応答波
CH3 5.00 V
50.0µs CH3 ∫ 4.0 V
Stored
Mode Index
Time Units seconds
Amplitude Units Raw

【書類名】　要約書

【要約】

【課題】　静止画表示時の低消費電力化が可能なＥＬ表示装置を有する携帯情報装置の提供を課題とする。

【解決手段】　携帯情報装置が有するＥＬ表示装置において、画素中に記憶回路とＤ／Ａコンバータとを配置し、ＥＬ表示装置が静止画を表示するとき、ＥＬ表示装置とＥＬ表示装置をコントロールするコントロール回路以外の映像表示機能を停止することにより低消費電力化が可能な携帯情報装置が得られる。

【選択図】　図１

出　願　人　履　歴　情　報

識別番号　　〔０００１５３８７８〕

１．変更年月日　　１９９０年　８月１７日
［変更理由］　新規登録
住　所　神奈川県厚木市長谷３９８番地
氏　名　株式会社半導体エネルギー研究所